

В. В. НИКУЛ, д. т. н. А. В. ДРОЗД, к. т. н. Ю. В. ДРОЗД, к. т. н. В. С. ОЗЕРАНСКИЙ

Украина, Одесский национальный политехнический университет

E-mail: leraniku@gmail.com, drozd@ukr.net, dea\_lucis@ukr.net, ozeransky@ukr.net

## ЭФФЕКТИВНОСТЬ ПОРАЗРЯДНОЙ КОНВЕЙЕРИЗАЦИИ ВЫЧИСЛЕНИЙ В FPGA-КОМПОНЕНТАХ СИСТЕМ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ

*Рассмотрены вопросы эффективности цифровых компонентов в системах критического применения. Исследованы компоненты, проектируемые традиционно на основе матричных структур, создающих для этих систем проблему скрытых неисправностей, и поразрядные конвейеры, использование которых позволяет решить эту проблему. Проведен сравнительный анализ эффективности спроектированных на FPGA поразрядных конвейерных и матричных умножителей в сложности, производительности и энергопотреблении. Предложен метод, повышающий эффективность поразрядных конвейерных умножителей.*

*Ключевые слова: система критического применения, скрытая неисправность, цифровой компонент, матричная структура, поразрядный конвейер, FPGA-проектирование.*

Информационные технологии за последние десятилетия существенно расширили область своих приложений, среди которых к наиболее важным следует отнести обеспечение функциональной безопасности объектов повышенного риска. К ним относятся энергосети и электростанции, скоростной транспорт и многое другое из нашего окружения. Растет их численность, сложность и мощность, что повышает стоимость последствий возможных отказов или аварий. Сдерживание роста таких рисков может выполняться за счет снижения вероятности инцидента, и эта задача возлагается на информационные технологии, реализованные в информационно управляющих системах критического применения (instrumentation and control safety-related systems) [1, 2]. Требования к этим системам регулируются международными стандартами, которые предусматривают обеспечение функциональной безопасности и самой системы, и объекта управления для предотвращения аварий, а в случае их развития — уменьшения последствий [3, 4].

### Анализ современного уровня развития ресурсов

С точки зрения ресурсного подхода, системы критического применения являются результатом развития компьютерных систем, которое проявляется в диверсификации рабочего режима путем его разделения на нормальный и аварийный [5, 6].

При ресурсном подходе анализируется развитие ресурсов — моделей, методов и средств —

с позиции их интеграции в естественный мир. Подход определяет три уровня развития ресурсов: репликацию, диверсификацию и автономию. Нижний уровень — репликация — в естественном мире проходит под лозунгом: «Родить больше, чем умрет». Так вписываются в естественный мир, например, бактерии. При открытой ресурсной нише — экологической, технологической, рыночной и т. д. — всегда будет выбрана репликация. По заполнении ресурсной ниши для выживания необходимо перейти на уровень диверсификации: наштампованные клоны должны развить особенности — стать особями [7, 8].

В компьютерном мире представлены все уровни развития ресурсов, но доминирует репликация, которая проявляется в развитии матричных структур, штампуемых из однородных элементов. В [9–12] анализируются цифровые компоненты современных компьютерных систем. В основе схем этих компонентов лежат матричные структуры, составленные из одинаковых операционных элементов. Отмечаются недостатки матричных структур, свойственные уровню репликации: низкий процент использования операционных элементов при значительной сложности схем и высоком энергопотреблении. В 32-разрядном матричном умножителе и делителе каждый из  $10^3$  операционных элементов используется только на 1,6 и 0,1 % времени соответственно, а с переходом к разрядности  $n = 64$  эти показатели снижаются до 0,8 и 0,02 % [9, 10]. Следует отметить, что остальное время операционные элементы не простаивают, а поддерживают волны паразитных переключений, которые образуют-

ся в матричных структурах вследствие распространения сигналов по путям с различным временем их прохождения [11, 12]. Количество паразитных переключений многократно превышает количество функциональных переключений, определяя в основном динамическую составляющую энергопотребления. Статическая составляющая определяется значительными размерами матричных структур. Общая картина энергопотребления матричных структур дополняется также динамической и статической составляющими системы ввода-вывода, которые пропорциональны количеству входов и выходов. В матричном множителе их насчитывается  $4n$ , что для  $n = 64$  составляет 256.

Цифровые компоненты с доминированием матричных структур получили продолжение в системах критического применения, создавая проблему скрытых неисправностей, которые могут достаточно долго накапливаться в цифровых схемах в процессе их нормального функционирования и проявляться в аварийном режиме в виде снижения отказоустойчивости цифровых компонентов, при том что отказоустойчивые решения являются основой обеспечения функциональной безопасности систем критического применения [13].

Проблема скрытых неисправностей по причине их скрытости известна лишь благодаря неудачно закончившимся попыткам их выявления с использованием имитационных режимов. Имитация условий аварийного режима, часто с отключением аварийных защит, представляет потенциальную опасность в связи с возможностью несанкционированного запуска такого режима человеком или по причине неисправности. Ярким примером последствий отключения аварийных защит может служить Чернобыльская катастрофа.

Как отмечается в [10], для компьютерной системы, которая все время работает в одном и том же рабочем режиме, проблемы скрытых неисправностей не существует, поскольку неисправность остается скрытой на протяжении всего рабочего времени. Следовательно, эта проблема является проблемой роста, когда системы поднимаются на уровень диверсификации, а их компоненты остаются на уровне репликации. Отсюда следует возможное решение проблемы — поднять уровень компонентов до уровня системы, развивая конвейерный параллелизм, отражающий в эволюции ресурсов уровень диверсификации.

Можно выделить три уровня развития конвейерных систем. К нижнему уровню следует отнести современные компьютерные системы и их цифровые компоненты, которые, как правило,

строятся конвейерными, но их секциями служат одноктактные матричные устройства, выполняющие обработку числовых данных в параллельных кодах со всеми отмеченными выше недостатками матричных структур.

К следующему уровню можно отнести известные решения по конвейеризации матричных структур цифровых компонентов в LUT-ориентированной архитектуре FPGA (field programmable gate array) проектов [14–16]. Секция конвейера содержит один LUT (look-up table) и триггер или один только триггер для выравнивания путей распространения данных по тактам. В таких решениях сохраняются и обработка данных в параллельных кодах чисел, и все элементы матричной структуры, а связи между ними проходят через один или несколько триггеров, дополнительно усложняющих схему и повышающих статическую и динамическую составляющие энергопотребления. При этом повышается производительность — результаты выдаются с тактовой частотой конвейера, однако из-за того, что сохраняются элементы матричных структур, проблема скрытых неисправностей не решается.

Третий, наивысший уровень развития конвейерных систем достигается при упрощении секций конвейера до одного операционного элемента, обрабатывающего данные по одному разряду. При этом достигается максимальное сокращение матричных структур и максимальное распараллеливание вычислений. Традиционные конвейерные компоненты преобразуются в поразрядные конвейеры, принимающие и обрабатывающие входные данные, а также выдающие результаты в последовательных кодах, которые не оставляют места для скрытых неисправностей. Регистровые структуры поразрядных конвейеров являются элементами тестопригодного проектирования — сканирующими регистрами [17], которые исключают саму возможность накопления скрытых неисправностей.

Вместе с тем, распараллеливание вычислений пошло по пути обработки данных в параллельных кодах чисел с использованием матричных структур, и поразрядные конвейеры, выполняющие операции в последовательных кодах, не получили должного развития. Многие десятилетия развития цифровых компонентов были потрачены на совершенствование матричных структур и создание мощной поддерживающей их инфраструктуры. Под них разрабатывались и продолжают разрабатываться модели и методы проектирования, элементная база и САПР. Достигнутые успехи существенно упрочили позиции матричных структур, поэтому важно проанализировать конкурентоспособность поразряд-

ных конвейеров в условиях, диктуемых инфраструктурой матричных структур.

В [10] выполнен сравнительный анализ эффективности поразрядных конвейерных и матричных структур на примере умножителей двоичных кодов. Однако анализ проводился сравнением поразрядных конвейеров с библиотечными матричными умножителями, что не совсем корректно по причине отсутствия библиотечных поразрядных конвейерных решений.

В данной работе проводится сравнительный анализ эффективности поразрядных конвейерных и матричных структур без использования библиотечных решений, т. е. при более равных условиях их проектирования на FPGA. Операция умножения выбрана с учетом того, что она является ключевой для приближенных вычислений, а их доминирование постоянно растет по мере вписывания технологий в реалии естественного мира — параллельного и размытого. Эта операция присутствует в самой записи числа с плавающей точкой и потому в явном или неявном виде используется во всех действиях, выполняемых над мантиссами, а результаты этих действий наследуют свойства произведения.

**Объекты исследования**

Рассмотрим матричный и поразрядный конвейерный умножители на примере наиболее простых схемотехнических решений. Матричное устройство имеет регулярную структуру, описанную в [18, с. 218, рис. 6.18]. Схема поразрядного конвейерного умножителя описана в [19] и содержит регистр множителя *A* и регистр множителя *B*, группу из *n* элементов *I* и вертикальный сумматор. На входы устройства поступают последовательные коды сомножителей, начиная с младших разрядов. В каждом такте очередной разряд множителя *B* записывается в очередной разряд регистра множителя вплоть до его заполнения, а разряд множителя *A* вдвигается в регистр множителя и продвигается в нем до его покидания (рис. 1). Значения разрядов множителя *A* и множителя *B* с выходов *i*-х разрядов множителя и множителя ( $i = 1, \dots, n$ ) поступают на входы *i*-го элемента *I* группы. В каждом такте на выходах элементов *I* формируются конъюнкции очередного столбца матрицы конъюнкций произведения. Эти конъюнкции поступают на входы вертикального сумматора, который в каждом такте подсчитывает количество единиц с учетом переносов из предыдущих тактов и формирует (а также задерживает) переносы в следующие такты и вычисляет разряд суммы. Разряды суммы подаются на выход устройства, составляя за  $2n$  тактов полное произведение в последовательном коде.

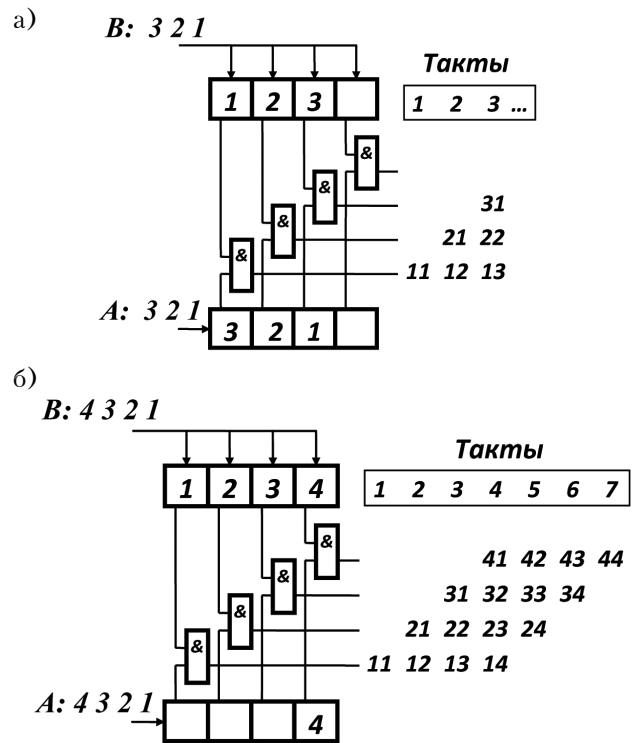


Рис. 1. Схема работы поразрядного конвейерного умножителя с разрядностью  $n = 4$  при числе тактов три (а) и семь (б)

Сравнение эффективности умножителей выполняется по показателям сложности схемных решений, их производительности и энергопотребления по результатам проектирования устройств разной разрядности на FPGA с использованием САПР Intel Altera Quartus II, стоящей в одном ряду с другими САПР, ориентированными на поддержку матричных структур. Поддержка матричных структур проявляется в предоставлении широкой библиотеки матричных узлов, а также использовании метода заготовки результатов, который относится к верхнему уровню развития ресурсов, для ускорения вычислений при сложении параллельных кодов чисел в матричных структурах. Проектирование поразрядных конвейеров ограничено структурой такта, который образуется в основном не задержкой операционного элемента, выполняющего вычисления, а паразитной задержкой регистра.

**Результаты исследования и их обсуждение**

Схемы поразрядного конвейерного и матричного умножителей для разрядностей 8, 16, 24 и 32 имплементированы в FPGA Altera Cyclone II EP2C35F672C6 family посредством САПР Intel Altera Quartus II v13 64 б. При этом настройки компилятора, находящиеся в меню проекта «Assignment → Settings → Analysis & Synthesis Settings», использованы по умолчанию. В оп-

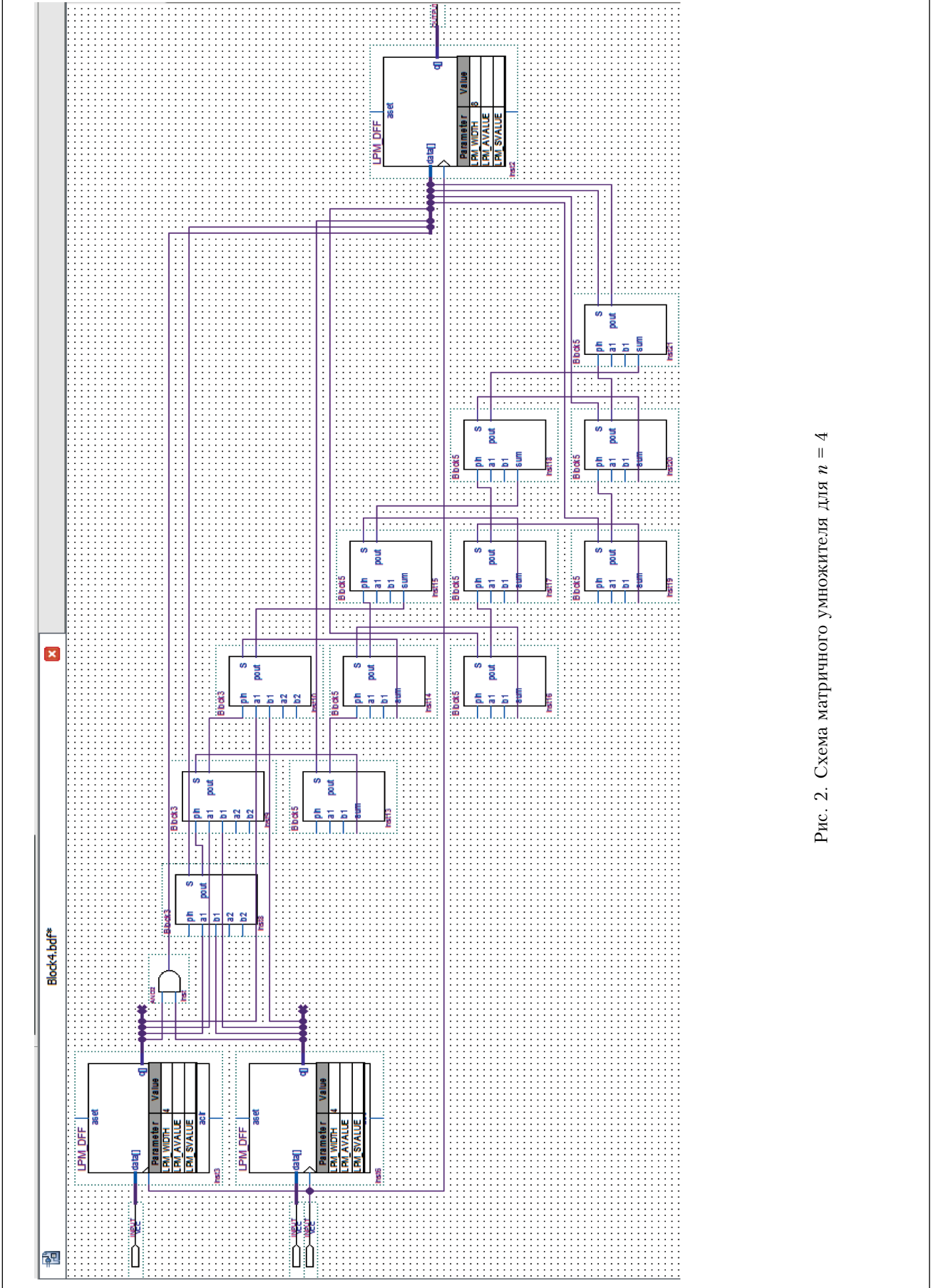


Рис. 2. Схема матричного умножителя для  $n = 4$

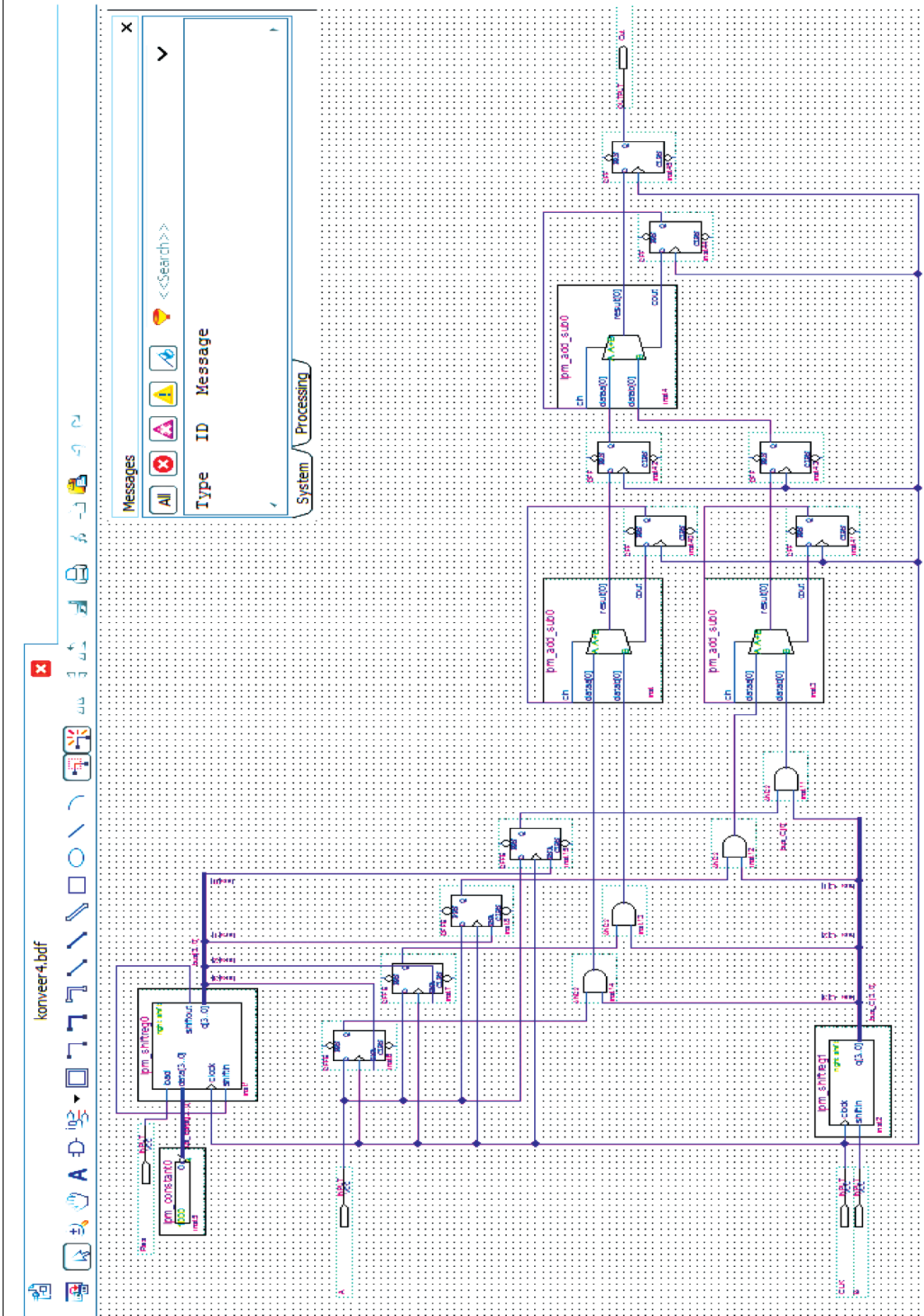


Рис. 3. Схема поразрядного конвейерного умножителя для  $n = 4$

ции «Optimization Technique» выбран режим «Balanced», опция «Power Play Power Optimization» установлена в режим работы «Normal compilation».

На рис. 2 и 3 показаны схемы матричного и поразрядного конвейерного умножителей, полученные в результате проектирования для  $n = 4$ .

Сложность схемной реализации определяется по результатам проектирования и оценивается количеством использованных логических элементов LE (logic elements), содержащих операционный элемент LUT и однобитный программируемый регистр [20]. Производительность и энергопотребление схем рассчитываются с учетом продолжительности такта их работы и потребляемой мощности, которые оцениваются при помощи утилит «Time Quest Timing Analyzer» и «Power Play» [21, 22].

В табл. 1 приведены результаты расчета параметров схем матричных и поразрядных конвейерных умножителей различной разрядности  $n$ : сложность  $C_M, C_K$ ; продолжительность тактов работы  $T_M, T_K$ ; потребляемая мощность  $N_M, N_K$ ; производительность  $P_M, P_K$ ; энергопотребление  $E_M, E_K$ , а также относительные показатели  $P_{K/M} = P_K/P_M, E_{M/K} = E_M/E_K$ , которые позволяют сравнивать анализируемые схемы по производительности и энергопотреблению.

Таблица 1

Параметры схем матричных и поразрядных конвейерных умножителей различной разрядности

Параметр	Количество разрядов $n$			
	8	16	24	32
$C_M$	179	739	1683	3011
$C_K$	39	78	126	160
$R_C$	5	11	18	28
$C_R$	159	691	1662	2980
$T_M, \text{нс}$	8,07	17,24	25,59	36,21
$T_K, \text{нс}$	2,38	2,38	2,38	2,38
$N_M, \text{мВт}$	142,78	150,08	156,31	159,18
$N_K, \text{мВт}$	160,33	237,51	340,62	462,86
$P_M, \text{с}^{-1}$	$123,9 \cdot 10^6$	$58,0 \cdot 10^6$	$37,6 \cdot 10^6$	$27,6 \cdot 10^6$
$P_K, \text{с}^{-1}$	$131,3 \cdot 10^6$	$144,4 \cdot 10^6$	$157,6 \cdot 10^6$	$183,8 \cdot 10^6$
$P_{K/M}$	1,06	2,49	4,19	6,65
$E_M, \text{мВт} \cdot \text{нс}$	1152,2	2587,4	4000,0	5763,9
$E_K, \text{мВт} \cdot \text{нс}$	1221,1	1644,4	2161,6	2518,0
$E_{M/K}$	0,94	1,57	1,85	2,29

Значения параметра сложности  $C_M$  и  $C_K$  схем матричных и поразрядных конвейерных умножителей указывают на возможность замены одного матричного устройства на схему, состоящую из нескольких одновременно работающих поразрядных конвейеров той же сложности. Их количество  $R_C$ , определяемое в результате проектирования схем, превосходит отношение  $C_M/C_K$  и увеличивается с ростом разрядности  $n$  быстрее, чем это отношение. В табл. 1 приведены полученные экспериментально значения  $R_C$  и сложности  $C_R$  схем, состоящих из  $R_C$  поразрядных конвейерных умножителей.

Как видно из табл. 1, рост разрядности  $n$  приводит к повышению сложности схем умножителей, причем сложность поразрядных конвейерных схем увеличивается пропорционально  $n$ , а сложность матричных умножителей — в квадратичной зависимости, что обеспечивает линейный рост  $R_C$ .

Продолжительность такта определяется при работе умножителей на максимальной тактовой частоте. С увеличением разрядности  $n$  продолжительность такта матричного умножителя линейно возрастает, а поразрядного конвейера остается постоянной (см. табл. 1). Такт поразрядного конвейерного умножителя короче матричного решения — и библиотечного [10], и спроектированного, однако в значительно меньшей степени, чем это можно было ожидать, если учитывать, что одному операционному элементу секции конвейера противопоставляется цепочка из  $2n - 2$  последовательно соединенных операционных элементов структуры однотактного матричного умножителя. Отказ в эксперименте от использования библиотечного матричного умножителя несколько выравнивает условия проектирования сравниваемых устройств, и разница в продолжительности их тактов увеличивается, но сохраняются еще, по крайней мере, два фактора, действующих в современных САПР в пользу матричных структур. Первый кроется в ускоренном распространении переноса при сложении конъюнкций матрицы произведения в однотактном умножителе. Операционные элементы строятся на логических элементах LE, работающих в арифметическом режиме с заготовкой значений суммы и переноса полного сумматора по методу условного переноса. При этом заготовленными являются также пути их распространения. Суть второго фактора заключается в затынутом такте поразрядного конвейера, который определяется в основном задержкой регистра и в значительно меньшей степени задержкой операционного элемента.

Поскольку сравнение производительности и энергопотребления матричных и поразрядных конвейерных умножителей целесообразно выполнять при равной сложности схем, расчет мощности осуществлялся для матричного умножителя и для схемы, составленной из  $R_C$  поразрядных конвейерных умножителей. Полученные значения потребляемой мощности (см. табл. 1) состоят из статической и динамической составляющих ядра и системы ввода-вывода FPGA-проектов. Схема поразрядных конвейеров потребляет большую мощность по сравнению с проектируемым матричным умножителем, поскольку функционирует на более высокой тактовой частоте, что с ростом разрядности  $n$  существенно увеличивает динамическую составляющую мощности.

Схемные решения оцениваются их производительностью, которая для матричного умножителя определяется величиной, обратной продолжительности такта, переведенной в секунды:

$$P_M = 10^9 / T_M, \quad (1)$$

а для схемы поразрядных конвейеров вычисляется по формуле

$$P_K = 10^9 R_C / (2nT_K). \quad (2)$$

В табл. 1 приведены значения производительности  $P_M$  и  $P_K$ , полученные утилитой «Time Quest Timing Analyzer» для матричного умножителя и схемы поразрядных конвейеров, а также их отношение  $P_{K/M}$ . Здесь видно, что с ростом разрядности сомножителей производительность  $P_M$  матричных умножителей снижается, причем быстрее, чем повышается разрядность, а производительность  $P_K$  схемы поразрядных конвейеров повышается, многократно превосходя  $P_M$ , что отражается увеличением их отношения  $P_{K/M}$  с 1,06 до 6,65  $c^{-1}$ . Такое изменение производительности объясняется ускоренным ростом количества  $R_C$  конвейеров в объединяющей их схеме.

Энергопотребление сравниваемых умножителей рассчитывается за время выполнения ими одной операции. Для матричного умножителя оно оценивается произведением мощности на время выполнения операции, т. е. на продолжительность такта:

$$E_M = N_M T_M, \quad (3)$$

а для схемы поразрядных конвейеров вычисляется по формуле

$$E_K = N_K \cdot 2nT_K / R_C. \quad (4)$$

Из приведенных в табл. 1 данных видно, что при увеличении разрядности сомножителей растет

энергопотребление обоих сравниваемых умножителей, а также отношение  $E_{M/K}$  (с 0,94 до 2,29).

Таким образом, проведенный анализ позволяет заключить, что поразрядная конвейеризация вычислений имеет преимущества по производительности и энергопотреблению перед матричными решениями даже при проектировании на САПР, ориентированной на разработку матричных структур. Очевидно, что в таком случае уровень достигнутых показателей ниже возможного, поэтому для их улучшения в переходный период (до создания собственной инфраструктуры поразрядных конвейеров) требуется адаптация схемных решений к особенностям существующих САПР.

#### Метод повышения эффективности поразрядных конвейеров

Из формул (2) и (4) следует, что производительность и энергопотребление поразрядных конвейеров зависят от времени выполнения операции умножения, которая длится  $2n$  тактов, поэтому для повышения их эффективности предлагается в одном такте обрабатывать два двоичных разряда сомножителей. При таком подходе вдвое сокращается количество тактов выполнения операции, что позволяет ожидать сокращения времени вычислений и, соответственно, улучшения указанных параметров. Вместе с этим, обработка двух двоичных разрядов в такте является уступкой матричным структурам с целью адаптации поразрядных конвейеров к особенностям современных САПР.

Обработка данных по два двоичных разряда в такте может быть интерпретирована как обработка разряда четверичной системы счисления, что оставляет предлагаемый метод в рамках поразрядной конвейеризации с увеличением основания двоично-кодированной системы счисления. Метод иллюстрируется табл. 2 для случая сомножителей  $A$  и  $B$  при разрядности  $n = 4$ .

Каждый из сомножителей  $A$  и  $B$  представляется двумя последовательными кодами, составленными из разрядов с четными и нечетными номерами. В тактах 1–4 обрабатываются двоичные разряды  $B\{i\}$  и  $A\{j\}$  последовательных кодов сомножителей и вычисляются конъюнкции  $C\{i, j\} = B\{i\}A\{j\}$  с весом от  $2^0$  до  $2^7$  ( $i = 1, \dots, 4, j = 1, \dots, 4$ ). В табл. 2 строки  $A\{н\}$ ,  $A\{ч\}$ ,  $B\{н\}$ ,  $B\{ч\}$  показывают, соответственно, положение в тактах и вес нечетных и четных разрядов сомножителей  $A$  и  $B$ . В следующих восьми строках показаны конъюнкции разрядов  $B\{i\}$  сомножителя  $B$  и разрядов последовательных кодов  $A\{н\}$ ,  $A\{ч\}$  сомножителя  $A$  (конъюнкции, помеченные символом «\*», сдвигаются на один такт, как это показано в табл. 2).

Иллюстрация метода повышения эффективности поразрядных конвейеров

Параметр	Такты							
	1		2		3		4	
	Вес							
	2 <sup>0</sup>	2 <sup>1</sup>	2 <sup>2</sup>	2 <sup>3</sup>	2 <sup>4</sup>	2 <sup>5</sup>	2 <sup>6</sup>	2 <sup>7</sup>
A{n}	A{1}		A{3}					
A{ч}		A{2}		A{4}				
B{n}	B{1}		B{3}					
B{ч}		B{2}		B{4}				
B{1} A{n}	C{1,1}		C{1,3}					
B{3} A{n}			C{3,1}		C{3,3}			
B{2} A{n}		C{2,1}		C{2,3}				
B{4} A{n}				C{4,1}		C{4,3}		
B{2} A{ч}*			C{2,2}		C{2,4}			
B{4} A{ч}*					C{4,2}		C{4,4}	
B{1} A{ч}		C{1,2}		C{1,4}				
B{3} A{ч}				C{3,2}		C{3,4}		

Таблица 3

Параметры конвейерного умножителя по два разряда

n	R <sub>C</sub>	C <sub>K</sub>	T <sub>K</sub> , нс	N <sub>K</sub> , мВт	P <sub>K</sub> , с <sup>-1</sup>	E <sub>K</sub> , мВт·нс
8	4	179	2,38	173,12	206,2·10 <sup>6</sup>	824,1
16	7	693	2,38	246,11	183,8·10 <sup>6</sup>	1338,8

Сложение вычисленных конъюнкций согласно их весу позволяет с учетом переносов получить последовательный код производства сомножителей A и B.

Схема умножителя, выполненная по предложенному методу, описана в [23]. Она имплементирована в FPGA-проекты для случаев разрядности n = 8 и n = 16 и исследована по показателям сложности, производительности и энергопотребления так, как это описано выше. Результаты представлены в табл. 3.

Сравнительный анализ данных, приведенных в табл. 1 и 3, указывает на то, что использование предложенного метода обеспечило рост производительности P<sub>K</sub> поразрядных конвейерных умножителей с разрядностью n = 8 и n = 16 до значений, соответственно, 206,2·10<sup>6</sup> и 183,8·10<sup>6</sup> с<sup>-1</sup>, что повысило эффективность поразрядной конвейеризации P<sub>K/M</sub> в 1,57 (с 1,06 до 1,66) и в 1,27 (с 2,49 до 3,17) раз. При этом энергопотребление E<sub>K</sub> снизилось до 824,1 мВт·нс для n = 8 и до 1338,8 мВт·нс для n = 16, а эффективность

E<sub>M/K</sub> выросла, соответственно, в 1,49 (с 0,94 до 1,40) и в 1,23 (с 1,57 до 1,93) раз.

**Заключение**

Проведенные эксперименты показали, что поразрядные конвейерные умножители демонстрируют высокую эффективность, превосходящую матричные решения и в производительности, и в энергопотреблении даже при проектировании цифровых компонентов на САПР матричной ориентации. Предложенный метод повышения эффективности поразрядных конвейеров обеспечивает дополнительное улучшение их характеристик, что актуально в период преодоления традиций матричного доминирования и становления поразрядной конвейеризации вычислений, и при этом делает определенную уступку матричной ориентации САПР.

**ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ**

1. Харченко В. С., Скляр В. В., Тарасюк О. М. Анализ рисков аварий для ракетно-космической техники: эволюция причин и тенденций // Радиоэлектронні та комп'ютерні системи. — 2003. — № 3. — С. 135–149.
2. Brezhnev E. Riskanalysis in critical informational control system based on computing with words' models // Proc. of VII International Workshop Digital Technologies. — Zhilina, Slovak Republic. — 2010. — P. 19–20.
3. IEC 61508-1:2010. Functional safety of electrical / electronic / programmable electronic safety related systems. Part 1: General requirements. — Geneva: International Electrotechnical Commission, 2010.
4. Andrashov A., Kharchenko V., Siora A. et al. Certification of FPGA-based safety Instrumentation and Control platform in accordance with IEC 61508 // The First



International Workshop Critical Infrastructure Safety and Security (CrISS-DESSERT 2011). — Kirovograd, Ukraine. — 2011. — Vol. 1. — P. 148–152

5. Bakhmach E., Herasimenko A., Golovyr V. et al. FPGA-based NPP I&C Systems: Development and Safety Assessment. — Kharkiv: RPC Radiy, National Aerospace University “KhAI”, SSTC on Nuclear and Radiation Safety, 2008.

6. Kharchenko V., Gorbenko A., Sklyar V., Phillips C. Green computing and communications in critical application domains: challenges and solutions // Proc. of the 9<sup>th</sup> International Conference on Digital Technologies 2013. — Zhilina, Slovak Republic. — 2013. — P. 191–197.

7. Drozd J., Drozd A. Models, methods and means as resources for solving challenges in codesign and testing of computer systems and their components // Digital Technologies: Proc. of 10<sup>th</sup> International Conference. — Zhilina, Slovak Republic. — 2013. — P. 176–180. — <http://dx.doi.org/10.1109/DT.2013.6566307>

8. Drozd J., Drozd, Antoshchuk S. Green IT engineering in the view of resource-based approach // In book: Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control. Vol. 74. — Berlin, Heidelberg: Springer International Publishing. — 2017. — P. 43–65. — [http://dx.doi.org/10.1007/978-3-319-44162-7\\_3](http://dx.doi.org/10.1007/978-3-319-44162-7_3)

9. Drozd J., Drozd A., Antoshchuk S., Kushnerov A., Nikul V. Effectiveness of Matrix and Pipeline FPGA-Based Arithmetic Components of Safety-Related Systems // Proc. of 8<sup>th</sup> IEEE International Conference Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications. — Warsaw, Poland. — 2015. — P. 785–789. — <http://dx.doi.org/10.1109/IDAACS.2015.7341410>

10. Дрозд А. В., Дрозд Ю. В., Сулима Ю. Ю., Нікул В. В. Перспективи в використанні порозрядної конвейерної обробки в компонентах систем критичного застосування // Електротехнічні та комп'ютерні системи. — 2018. — № 28 (104). — С. 186–192.

11. Shum W., Anderson J.H. FPGA Glitch Power Analysis and Reduction // International Symposium on Low Power Electronics and Design (ISLPED). — 2011. — P. 27–32.

12. Vikas D. A review on glitch reduction techniques // International Journal of Research in Engineering and Technology. — 2014. — Vol. 3(2). — P. 145–148.

13. Drozd M., Drozd A. SafetyRelated instrumentation and control systems and a problem of the hidden faults // Digital Technologies: Proceedings of the 10<sup>th</sup> International Conference. — Zhilina, Slovak Republic. — 2014. — P. 137–140.

14. Panato A., Silva S., Wagner F., Johan M., Reis R., Bampi S. Design of very deep pipelined multiplier for FPGAs // Proceedings Design, Automation and Test in Europe Conference and Exhibition. — 2004. — Paris, France. — <https://dx.doi.org/10.1109/DATE.2004.1269200>

15. Cadenas O., Megson G. A clocking technique for FPGA pipelined designs // Journal of System Architecture. — 2004. — Vol. 50, iss. 11. — P. 687–696. — <https://doi.org/10.1016/j.sysarc.2004.04.001>

16. Wojko M. Pipelined Multipliers and FPGA Architectures // In: Field Programmable Logic and Applications. FPL 1999. Lecture Notes in Computer Science, vol. 1673 / Ed. by Lysaght P., Irvine J., Hartenstein R. — Springer, Berlin, Heidelberg, 1999. — [https://doi.org/10.1007/978-3-540-48302-1\\_36](https://doi.org/10.1007/978-3-540-48302-1_36)

17. Abramovici M., Breuer M. A., Friedman A. D. Digital Systems Testing and Testable Design // Wiley-IEEE Press. — New York. — 1990. — P. 652.

18. Мельник А. О. Архітектура комп'ютера. — Луцьк: Волинська обласна друкарня, 2008.

19. Drozd A. and Sitnikov V. An online testing method for a digit by digit pipeline multiplier with truncated calculations // Proc. East-West Design & Test Conference. — Yalta—Alushta, Ukraine, 2004. — P. 76–82.

20. Cyclone II Architecture. Cyclone II Device Handbook Version 3.1. — Altera Corporation, 2007. — Access mode: [http://www.Altera.com/literature/hb/cyc2/cyc2\\_cii51002.pdf](http://www.Altera.com/literature/hb/cyc2/cyc2_cii51002.pdf)

21. Using TimeQuest Timing Analyzer. Altera Corporation — University Program, 2013. — Access mode: [ftp://ftp.altera.com/up/pub/Intel\\_Material/13.0/Tutorials/Timequest.pdf](ftp://ftp.altera.com/up/pub/Intel_Material/13.0/Tutorials/Timequest.pdf)

22. PowerPlay Power Analysis. Quartus II Handbook Version 13.1.0. — Altera Corporation, 2013. — Access mode: [http://www.altera.com/literature/hb/qts/qts\\_qii5301\\_3.pdf](http://www.altera.com/literature/hb/qts/qts_qii5301_3.pdf)

23. Пат. № 117062 Україна. Пристрій для множення N-розрядних чисел / О. В. Дрозд, В. В. Нікул, С. А. Нестеренко, Р. О. Шапорін. — 2018. — Бюл. № 11.

Дата поступления рукописи  
в редакцию 07.05 2018 г.

В. В. НІКУЛ, О. В. ДРОЗД,  
Ю. В. ДРОЗД, В. С. ОЗЕРАНСЬКИЙ

Україна, Одеський національний політехнічний університет

E-mail: [leraniku@gmail.com](mailto:leraniku@gmail.com), [drozd@ukr.net](mailto:drozd@ukr.net),

[dea\\_lucis@ukr.net](mailto:dea_lucis@ukr.net), [ozeransky@ukr.net](mailto:ozeransky@ukr.net)

## ЕФЕКТИВНІСТЬ ПОРОЗРЯДНОЇ КОНВЕЄРИЗАЦІЇ ОБЧИСЛЕНЬ У FPGA-КОМПОНЕНТАХ СИСТЕМ КРИТИЧНОГО ЗАСТОСУВАННЯ

*Використання комп'ютерних систем як систем критичного застосування для забезпечення функціональної безпеки об'єктів підвищеного ризику підняло їх в розвитку ресурсів на рівень диверсифікації, а цифрові компоненти, що традиційно проектуються на основі матричних структур, залишилися на нижньому рівні реплікації. Ця невідповідність породила проблему прихованих несправностей, які можуть накопичуватися в компонентах у нормальному режимі та знижувати їх відмовостійкість і безпеку в аварійному режимі. Порозрядні конвеєри, що відносяться до рівня диверсифікації, дозволяють вирішити цю проблему, але змушені конкурувати з матричними структурами, під які створено потужну інфраструктуру, що їх підтримує.*

*В роботі проведено порівняльний аналіз ефективності порозрядних конвеєрних і матричних помножувачів, спроектованих на FPGA. Проведені дослідження показали, що порозрядні конвеєри демонструють високу ефективність, що перевершує матричні рішення і в продуктивності, і в енергоспоживанні навіть*

при проектуванні на САПР матричної орієнтації. Оскільки ця орієнтація знижує переваги порозрядних конвеєрів, для підвищення їхньої ефективності запропоновано метод, який забезпечує додаткове поліпшення цих характеристик і при цьому робить певну поступку матричній орієнтації САПР, що є актуальним в перехідний період – до подолання традицій матричного домінування і становлення порозрядної конвеєризації обчислень.

**Ключові слова:** система критичного застосування, прихована несправність, цифровий компонент, матрична структура, порозрядний конвеєр, FPGA-проекування.

DOI: 10.15222/ТКЕА2018.4.03  
UDC 004.315

V. V. NIKUL, A. V. DROZD,  
J. V. DROZD, V. S. OZERANSKY

Ukraine, Odessa National Polytechnic University  
E-mail: leraniku@gmail.com, drozd@ukr.net,  
dea\_lucis@ukr.net, ozeransky@ukr.net

## EFFICIENCY OF THE COMPUTATION BITWISE PIPELINING IN FPGA-BASED COMPONENTS OF SAFETY-RELATED SYSTEMS

*The use of computer systems like safety-related systems to ensure the functional safety of high-risk objects has raised them in the development of resources to the level of diversification. At the same time, the digital components, traditionally designed on the basis of array structures, remained at the lower level of a replication of resources. This discrepancy has created a problem of the hidden faults that can be accumulated in digital components during a prolonged normal mode and reduce their fault tolerance and system functional safety in the most critical emergency mode. Bitwise pipelines related to the level of resource diversification allow solving the problem of the hidden faults, but they are compelled to compete with the array structures, for which a powerful supporting infrastructure has been created for many decades.*

*The paper presents a comparative analysis of the efficiency of FPGA-based bitwise pipelines and matrix structures. Studies have shown that bitwise pipelines exhibit high efficiency exceeding that of the matrix structures in terms of both performance and energy consumption, even when designing a matrix orientation on CAD. Since such orientation reduces the advantages of bitwise pipelines, a method is proposed to increase their efficiency, which improves their throughput and energy consumption, while making a certain concession to the matrix orientation of CAD. This would be particularly important during the transitional period, while the traditions of matrix domination are to be overcome and the of bitwise pipeline computing is to be formed.*

**Keywords:** safety-related system, hidden fault, digital component, array structure, bitwise pipeline, FPGA designing.

### REFERENCES

1. Kharchenko V. S., Sklyar V. V., Tarasyuk O. M. [Analysis of accident risks for rocket and space technology: the evolution of causes and trends]. *Radio Electronic and Computer Systems*, 2003, no. 3, pp. 135-49. (Rus)
2. Brezhnev E. Risk-analysis in critical informational control system based on computing with words' models. *Proceedings of VII International Workshop Digital Technologies*, Zhilina, Slovak Republic, 2010, pp. 19–20.
3. IEC 61508-1. *Functional safety of electrical / electronic / programmable electronic safety related systems. Part 1: General requirements*. Geneva: International Electrotechnical Commission, 2010.
4. Andrashov A., Kharchenko V., Siora A., Sklyar V., Volkoviy A. Certification of FPGA-based safety Instrumentation and Control platform in accordance with IEC 61508. *The First International Workshop Critical Infrastructure Safety and Security (CrISS-DESSERT 2011)*, Kirovograd, Ukraine, 2011, vol. 1, P. 148-152.
5. Bakhmach E., Herasimenko A., Golovyv V. et al. FPGA-based NPP I&C Systems: Development and Safety Assessment. *RPC Radiy, NAU "KhAI" Publ., SSTC on Nuclear and Radiation Safety*, p. 188.
6. Kharchenko V., Gorbenko A., Sklyar V., Phillips C. Green computing and communications in critical application domains: challenges and solutions. *Proceedings of the 9<sup>th</sup> International Conference on Digital Technologies*, Zhilina, Slovak Republic, 2013, pp. 191-197.
7. Drozd J., Drozd A. Models, methods and means as resources for solving challenges in codesign and testing of computer systems and their components. *Proceedings of the Ninth International Conference on Digital Technologies*. Zhilina, Slovak Republic, 2013, pp. 176-180. <http://dx.doi.org/10.1109/DT.2013.6566307>
8. Drozd J., Drozd A., Antoshchuk S. Green IT engineering in the view of resource-based approach. In book: *Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control*. Berlin, Heidelberg: Springer International Publishing, 2017, vol. 74, pp. 43-65. [http://dx.doi.org/10.1007/978-3-319-44162-7\\_3](http://dx.doi.org/10.1007/978-3-319-44162-7_3)
9. Drozd J., Drozd A., Antoshchuk S., Kushnerov A., Nikul V. Effectiveness of Matrix and Pipeline FPGA-Based Arithmetic Components of Safety-Related Systems. *Proceedings of the 8<sup>th</sup> IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology*

and Applications. Warsaw, Poland, 2015, pp. 785-789. <http://dx.doi.org/10.1109/IDAACS.2015.7341410>

10. Drozd A. V., Drozd Yu. V., Sulima Yu. Yu., Nikul V. V. Perspectives in the use of bitwise pipelining in the components of safety-related systems. *Electrotechnic and Computer Systems*, 2018, no. 28 (104), pp. 186-192. (Rus)

11. Shum W., Anderson, J.H. FPGA Glitch Power Analysis and Reduction. *International Symposium on Low power electronics and design (ISLPED)*, 2011, pp. 27-32.

12. Vikas D. A review on glitch reduction techniques. *International Journal of Research in Engineering and Technology*, 2014, vol. 3(2), pp. 145-148.

13. Drozd M., Drozd A. Safety-Related Instrumentation and Control Systems and a Problem of the Hidden Faults. *Proceedings of the 10<sup>th</sup> International Conference on Digital Technologies*. Zhilina, Slovak Republic, 2014, pp. 137-140. <http://dx.doi.org/10.1109/DT.2014.6868692>

14. Panato A., Silva S., Wagner F. et al. Design of Very Deep Pipelined Multiplier for FPGAs. *Proceedings Design, Automation and Test in Europe Conference and Exhibition*, Paris, France, 2004. <http://dx.doi.org/10.1109/DATE.2004.1269200>

15. Cadenas O., Megson G. A clocking technique for FPGA pipelined designs. *Journal of System Architecture*, 2004, vol. 50, iss. 11, pp. 687-696. <https://doi.org/10.1016/j.sysarc.2004.04.001>

16. Wojko M. Pipelined multipliers and FPGA architecture. In: Lysaght P., Irvine J., Hartenstein R. (Eds) *Field*

*Programmable Logic and Applications. FPL 1999. Lecture Notes in Computer Science*, vol. 1673, Springer, Berlin, Heidelberg, 1999. [https://doi.org/10.1007/978-3-540-48302-1\\_36](https://doi.org/10.1007/978-3-540-48302-1_36)

17. Abramovici M., Breuer M. A., Friedman A. D. *Digital Systems Testing and Testable Design*. Wiley-IEEE Press, New York, 1990, 652 p.

18. Mel'nyk A. O. *Arkhitektura komp'yutera*. *Naukove vydannya* [Architecture of the computer. Scientific publication]. Luts'k, Volyn'ska oblasna drukarnya, 2008, 470 p. (Ukr)

19. Drozd A., Sitnikov V. An online testing method for a digit by digit pipeline multiplier with truncated calculations. *Proc. East-West Design&Test Conference*, Yalta – Alushta, Ukraine, 2004, pp. 76-82.

20. *Cyclone II Architecture. Cyclone II Device Handbook Version 3.1*. Altera Corporation, 2007. Available at: [http://www.altera.com/literature/hb/cyc2/cyc2\\_cii51002.pdf](http://www.altera.com/literature/hb/cyc2/cyc2_cii51002.pdf)

21. *Using TimeQuest Timing Analyzer*. Altera Corporation – University Program, 2013. available at: [ftp://ftp.altera.com/up/pub/Intel\\_Material/13.0/Tutorials/Timequest.pdf](ftp://ftp.altera.com/up/pub/Intel_Material/13.0/Tutorials/Timequest.pdf)

22. *PowerPlay Power Analysis. Quartus II Handbook Version 13.1.0*. Altera Corporation. 2013. Available at: [http://www.altera.com/literature/hb/qts/qts\\_qii53013.pdf](http://www.altera.com/literature/hb/qts/qts_qii53013.pdf)

23. Drozd O. V. et al. *Prystriy dlya mnozhennya N-rozryadnykh chisel* [A device for multiplying N-bit numbers]. Patent no. 117062 Ukr, 2018. (Ukr)

**Описание статьи для цитирования:**

Никул В. В., Дрозд А. В., Дрозд Ю. В., Озеранский В. С. Эффективность поразрядной конвейеризации вычислений в FPGA-компонентах систем критического применения. *Технология и конструирование в электронной аппаратуре*, 2018, № 4, с. 3-13. <http://dx.doi.org/10.15222/ТКЕА2018.4.03>

**Cite the article as:**

Nikul V. V., Drozd A. V., Drozd J. V., Ozeransky V. S. Efficiency of the computation bitwise pipelining in FPGA-based components of safety-related systems. *Tekhnologiya i Konstruivovanie v Elektronnoi Apparature*, 2018, no. 4, pp. 3-13. <http://dx.doi.org/10.15222/ТКЕА2018.4.03>

**НОВІ КНИГИ**

НОВІ КНИГИ

**Матвійків М. Д., Вус Б. С., Матвійків Т. М., Вус М. Б. Технологія виготовлення електронних пристроїв.— Львів: Видавництво Львівської політехніки, 2017.**

Викладено основні відомості про сучасні та перспективні технології виготовлення функціональних та функціонально-програмованих електронних пристроїв. Розглянуто технології складових частин електронних пристроїв: електронних модулів, механічних компонентів та ін. Також викладено основні вимоги до складання, програмування, тестування, регулювання, налаштування та операційного контролю електронних пристроїв.

Для студентів вищих навчальних закладів, які навчаються за напрямом “Електронні апарати”, та фахівців, які проєктують, виготовляють або обслуговують різноманітну електронну техніку в галузях авіоники, біомедичної і побутової техніки тощо.

