

ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ОДЕСЬКА ПОЛІТЕХНІКА»
МІНІСТЕРСТВА ОСВІТИ І НАУКИ УКРАЇНИ
Кафедра комп'ютерних інтелектуальних систем та мереж

КОСТРУБЕНКО Андрій Ігорович

ДИПЛОМНА РОБОТА МАГІСТРА

ДОСЛІДЖЕННЯ СПРОМОЖНОСТІ МОНІТОРИНГУ МАТРИЧНОГО
ПОДІЛЮВАЧА ЗА ТОКОМ СПОЖИВАННЯ

Спеціальність 123 – Комп'ютерна інженерія
Спеціалізація – Комп'ютерні системи та мережі

Керівник: Дрозд Олександр Валентинович,
доктор технічних наук, професор

Одеса – 2021

З А В Д А Н Н Я
НА ДИПЛОМНИЙ ПРОЕКТ (РОБОТУ) СТУДЕНТУ

Кострубенку Андрію Ігоровичу

(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) «Дослідження спроможності моніторингу матричного поділювача за током споживання»

керівник проекту (роботи) Дрозд О. В., доктор технічних наук, професор

(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом ректора ОНПУ від " 10 " листопада 2021 р. №420-в

2. Строк подання студентом проекту (роботи) 1 грудня 2021р.

3. Вихідні дані до проекту (роботи) виконати експериментальне дослідження енергоорієнтованої контролепридатності матричного поділювача з метою визначення його спроможності до моніторингу за током споживання

4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити)

1. Аналіз стану контролепридатності в системах критичного застосування.

2. Теоретичне положення фактору додавання енергетичної контролепридатності.

3. Експериментальне дослідження спроможності моніторингу матричного поділювача.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

1) Загальна структура експериментального стенду.

2) Структура експериментальної схеми.

3) Схема першого експерименту.

4) Діаграма струму споживання першого експерименту

5) Результати першого експерименту.

6) Схема другого експерименту.

7) Діаграма споживання другого експерименту.

8) Результати другого експерименту.

9) Порівняння результатів експериментів.

6. Консультанти розділів проекту (роботи)

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

7. Дата видачі завдання 6 вересня 2021 року

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів дипломного проекту (роботи)	Строк виконання етапів проекту (роботи)	Примітка
1	Збір та вивчення літературних та електронних ресурсів по тематиці магістерської роботи	08.09.2021	Виконано
2	Виконання огляду та аналізу стану контролепридатності в системах критичного застосування	27.09.2021	Виконано
3	Виконання теоретичного обґрунтування енергоорієнтованої контролепридатності	11.10.2021	Виконано
4	Виконання експериментального підтвердження спроможності моніторингу матричного поділювача за струмом споживання	01.11.2021	Виконано
5	Оформлення пояснювальної записки	22.11.2021	Виконано

Студент

_____ (підпис)

Кострубенко А.І.

_____ (прізвище та ініціали)

Керівник проекту (роботи)

_____ (підпис)

Дрозд О.В.

_____ (прізвище та ініціали)

Відомість кваліфікаційної роботи бакалавра

№ рядка	Найменування	Кільк.	Примітка
1	Пояснювальна записка	69	
2	Загальна структура експериментального стенду	1	
3	Структура експериментальної схеми	1	
4	Схема першого експерименту	1	
5	Діаграма струму споживання першого експерименту	1	
6	Результати першого експерименту	1	
7	Схема другого експерименту	1	
8	Діаграма струму споживання другого експерименту	1	
9	Результати другого експерименту	1	
10	Порівняння результатів експериментів	1	
11	Порівняння результатів експериментів (діаграма)	1	
12			
13			
14			
15			
16			
17			
18			
19			
20			
21			
22			
23			
24			
25			
26			
27			
28			

					АММР.АМ161.0808			
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розробив</i>		Кострубенко А.І			Дослідження спроможності моніторингу матричного поділювача за током споживання	<i>Лім.</i>	<i>Лист</i>	<i>Листів</i>
<i>Перевірів</i>		Дрозд О.В.						
<i>Реценз.</i>								
<i>Н. Контр.</i>								
<i>Затвердив</i>								
						Одеська політехніка, ІКС, КІСМ, АМ161		

АНОТАЦІЯ

Кострубенко А.І. дослідження спроможності моніторингу матричного поділювача за током споживання. – Магістерська кваліфікаційна робота. – Державний університет «Одеська політехніка», Одеса, 2021: 69 с., 14 рис., 7 табл., 44 джерел.

Об'єкт дослідження – матричний поділювач.

Предмет дослідження – можливість моніторингу матричного поділювача за струмом споживання.

Метою дипломної роботи є дослідження контролепридатності матричного поділювача на основі його енергоспоживання, та вивчення спроможності моніторингу FPGA компонентів за током споживання з метою підвищення загальної контролепридатності компонентів систем критичного застосування.

Способи досліджень базуються у частині енергоорієнтованих моделей контролепридатності на основах робочого діагностування цифрових пристроїв в критичних застосуваннях, теоріях ймовірностей та помилок, а енергоорієнтовані способи до моніторингу загальних сигналів використовують також основи цифрової схемотехніки.

Магістерська робота розглядає проблему впливу прихованих несправностей на системи критичного застосування. Проведено дослідження матричного поділювача на предмет його спроможності до моніторингу за струмом споживання. Досліджено залежність контролепридатності від активності вхідних інформаційних сигналів. Пропонується розвиток контролепридатності цифрових компонентів за ознакою потужності споживання. Показана необхідність подальшого розвитку контролепридатності за межі логічної форми.

Ключові слова: МАТРИЧНИЙ ПОДІЛЮВАЧ, ПРИХОВАНА НЕСПРАВНІСТЬ, КОНТРОЛЕПРИДАТНІСТЬ, FPGA ПРОЕКТУВАННЯ, ЗАГАЛЬНИЙ СИГНАЛ.

АННОТАЦИЯ

Кострубенко А.И. исследование возможности мониторинга матричного делителя по току потребления. – Магистерская квалификационная работа. – Государственный университет "Одесская политехника", Одесса, 2021: 69 с., 14 рис., 7 табл., 44 источников.

Объект исследования – матричный делитель.

Предмет исследования – возможность мониторинга матричного делителя по току потребления.

Целью дипломной работы является исследование контролепригодности матричного делителя на основе его энергопотребления и изучение способности мониторинга FPGA компонентов по току потребления с целью повышения общей контролепригодности компонентов систем критического применения.

Способы исследований базируются в части энергоориентированных моделей контролепригодности на основах рабочего диагностирования цифровых устройств в критических приложениях, теориях вероятностей и ошибок, а энергоориентированные подходы к мониторингу общих сигналов используют также основы цифровой схемотехники.

Магистерская работа рассматривает проблему влияния скрытых неисправностей на системы критического применения. Проведены исследования матричного делителя на предмет его способности к мониторингу по току потребления. Исследована зависимость контроля пригодности от активности входных информационных сигналов. Предлагается развитие контроля пригодности цифровых компонентов по признаку мощности потребления. Показана необходимость дальнейшего развития контролепригодности за пределы логической формы.

Ключевые слова: МАТРИЧНЫЙ ДЕЛИТЕЛЬ, СКРЫТАЯ НЕИСПРАВНОСТЬ, КОНТРОЛЕПРИГОДНОСТЬ, FPGA ПРОЕКТИРОВАНИЕ, ОБЩИЙ СИГНАЛ.

ABSTRACT

Kostrubenko A.I. Investigation of the ability to monitor the iterative array divider by current consumption. – The master qualifying work. – Odessa national polytechnic university, Odessa, 2021: 69 p., 14 pict., 7 tabl., 44 sources.

A research object is a matrix divider.

The article of research is the possibility of monitoring the matrix divider by current consumption.

The purpose of master's degree work is to study the controllability of the matrix divider based on its energy consumption, and to study the ability to monitor FPGA components by current consumption in order to increase the overall controllability of components of critical application systems.

The methods of researches are based on energy-oriented models of controllability based on the working diagnostics of digital devices in critical applications, probability and error theories, and energy-oriented methods of monitoring general signals also use the basics of digital circuitry.

The master work considers the problem of the impact of hidden faults on critical application systems. A study of the matrix divider for its ability to monitor current consumption. The dependence of controllability on the activity of input information signals is investigated. The importance of controllability for ensuring the functional security of systems and their components in the field of critical applications is noted. The development of controllability of digital components on the basis of power consumption is proposed. The necessity of further development of controllability beyond the logical form is shown.

Keywords: MATRIX DIVIDER, HIDDEN FAULTS, POWER-ORIENTED CHECKABILITY OF CIRCUITS, FPGA DESIGN, COMMON SIGNAL

ЗМІСТ

ВСТУП.....	5
1 АНАЛІЗ СТАНУ КОНТРОЛЕПРИДАТНОСТІ В СИСТЕМАХ КРИТИЧНОГО ЗАСТОСУВАННЯ.....	8
1.1 Обґрунтування вибору напряму досліджень в області контролепридатності схем в системах критичного застосування.....	8
1.2 Системи критичного застосування та їх особливості	10
1.3 Вимоги до систем критичного застосування.....	11
1.4 Контролепридатність схем в критичних додатках	14
1.4.1 Логічна контролепридатність в системах критичного застосування	17
1.4.2 Проблеми логічної контролепридатності в системах критичного застосування.....	19
1.5 Огляд технології FPGA.....	22
1.5.1 Архітектура технології FPGA	23
1.5.2 Конфігурація та реконфігурація FPGA рішень	25
1.5.3 Етапи проектування FPGA рішень	26
1.5.4 Особливості сучасного проектування систем критичного застосування з використанням FPGA.....	27
1.6 Висновки	29
2 ТЕОРЕТИЧНЕ ПОЛОЖЕННЯ ФАКТОРУ ДОДАВАННЯ ЕНЕРГЕТИЧНОЇ КОНТРОЛЕПРИДАТНОСТІ	31
2.1 Постановка завдання на кваліфікаційну роботу	31
2.2 Енергоорієнтована контролепридатність як доповнення до логічної	31
2.3 Підхід до моніторингу за струмом споживання	34
2.4 Висновки	35

3 ЕКСПЕРИМЕНТАЛЬНЕ ДОСЛІДЖЕННЯ СПРОМОЖНОСТІ МОНІТОРИНГУ МАТРИЧНОГО ПОДІЛЮВАЧА.....	37
3.1 Обґрунтування вибору та опис експериментального стенду	37
3.2 Опис досліджуваного пристрою	42
3.3 Опис експериментальної схеми	45
3.4 Методика проведення експериментальних досліджень.....	49
3.5 Проведення експериментального дослідження схеми з матричним поділювачем.....	50
3.6 Висновки	59
ВИСНОВКИ.....	61
ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	63

ВСТУП

Актуальність теми. В час сучасного науково технічного прогресу широко використовуються різноманітні об'єкти підвищеного ризику. Ці об'єкти зустрічаються майже у всіх сферах, будь-то енергетика, транспорт, промислова інфраструктура, тощо. Загальна особливість цих об'єктів полягає у тому, що вони несуть потенційну загрозу як для людей, так і для навколишнього середовища. Так як у разі виникнення аварії, масштаби наслідків можуть бути непередбачуваними. Традиційно для виконання тестового та робочого діагностування використовуються методи логічного контролю, що ґрунтуються на результатах обчислень. Логічна контролепридатність схем згідно з принципами логічного контролю залежить від структури схеми та її вхідних даних, та в випадку використання в системах критичного застосування, в яких робочий режим поділяють на нормальний та аварійний, контролепридатність стає різною в цих режимах. Як наслідок виникає вагома проблема прихованих несправностей, що можуть бути непомітними під час нормального режиму, та проявитися в самий невідповідний час – під час аварійного режиму, шляхом зниження або повного виключення відмовостійкості схем.

Дефіцит логічної контролепридатності у розв'язанні проблеми прихованих несправностей потребує її доповнення іншими формами. Успіхи, досягнені останнім часом у FPGA проектуванні та зелених технологіях, звертають увагу на розвиток енергоорієнтованої контролепридатності та відповідних підходів моніторингу схем з порушень в енергоспоживанні. Відомі рішення більше зосереджені на температурному прояву порушень у енергоспоживанні та мікропроцесорних системах і не пов'язані з особливостями критичних застосувань, саме в яких стрімко розвивається проектування FPGA компонентів. Серед прихованих несправностей до суттєво небезпечних слід віднести несправності в ланцюгах загальних сигналів та короткі замикання, що не виявляються в нормальному режимі логічним контролем внаслідок відсутності відповідних

вхідних даних, але складають реальну загрозу функціональності компонентів в аварійному режимі системи.

При розв'язанні задач прихованих несправностей, покладатися тільки лиш на логічну контролепридатність недостатньо, потрібно доповняти її іншими формами. В якості доповнення добре може послужити контролепридатність що орієнтується по енергоспоживанню та відповідні способи контролю схем, які засновані на показниках енергоспоживання. В умовах відсутності повного набору вхідних даних в рамках логічного контролю зростає ризик виникнення прихованих несправностей, що не виявляються в нормальному режимі, але складають реальну загрозу в аварійному режимі.

Таким чином, вивчення систем критичного застосування на предмет контролепридатності має важливе значення. Виникає потреба в розвитку енергоорієнтованої контролепридатності для виявлення прихованих несправностей, які впливають на енергоспоживання компонентів систем критичного застосування.

Мета та задачі дослідження. Метою дипломної роботи є дослідження контролепридатності схем на основі їхнього енергоспоживання, та вивчення спроможності моніторингу FPGA компонентів за током споживання з метою підвищення загальної контролепридатності компонентів систем критичного застосування.

Для досягнення поставленої мети в магістерській кваліфікаційній роботі вирішені наступні завдання:

- досліджено вплив несправностей у ланцюгах загальних сигналів на енергоспоживання FPGA проектів, можливості оцінювання цього впливу та його наслідки для систем критичного застосування в проблемі прихованих несправностей;

- досліджено енергоорієнтовану контролепридатність схем, що визначають виявляючі можливості підходів до моніторингу загальних сигналів за струмом споживання в FPGA компонентах систем критичного застосування;

- виконано експериментальне дослідження спроможності моніторингу матричного поділювача.

Об'єкт дослідження – матричний поділювач.

Предмет дослідження – можливість моніторингу матричного поділювача за струмом споживання.

Способи досліджень базуються у частині енергоорієнтованих моделей контролепридатності на основах робочого діагностування цифрових пристроїв в критичних застосуваннях, теоріях ймовірностей та помилок, а енергоорієнтовані підходи до моніторингу загальних сигналів використовують також основи цифрової схемотехніки.

Наукова новизна отриманих результатів полягає в запропонуванні підходу до моніторингу матричного поділювача в рамках енергоорієнтованої контролепридатності для виявлення прихованих несправностей, що впливають на струм споживання FPGA проекту.

Практичне значення отриманих результатів полягає у використанні запропонованого підходу в рамках енергоорієнтованої контролепридатності схем матричного поділювача для виявлення прихованих несправностей в системах критичного застосування за струмом споживання. Приховані несправності в ланцюгах загальних сигналів не виявляються в нормальному режимі логічним контролем, але мають енергетичний прояв у зниженні струму споживання і виявляються в рамках енергоорієнтованої контролепридатності схем FPGA проектів.

Публікації. За темою роботи опубліковані тези в VI всеукраїнській науково-практичній конференції MEICS-2021.

1 АНАЛІЗ СТАНУ КОНТРОЛЕПРИДАТНОСТІ В СИСТЕМАХ КРИТИЧНОГО ЗАСТОСУВАННЯ

1.1 Обґрунтування вибору напряму досліджень в області контролепридатності схем в системах критичного застосування

Комп'ютерні технології займають важливе місце у забезпеченні безпеки критичних об'єктів – електростанцій, швидкісного транспорту, оборонних та космічних систем. Для вирішення проблеми безпеки цих об'єктів використовуються комп'ютерні інформаційні системи управління, у тому числі вбудовані системи для критичних систем [1]. Ці системи розроблені з використанням компонентного підходу на бібліотечних компонентах для комерційних і критичних проектів, включаючи власні компоненти.

У комерційних додатках відмовостійкі цифрові компоненти демонструють високий рівень безпеки, обчислюючи в загальному випадку досить достовірні результати. Тим не менш, системи критичного застосування мають функції, які роблять відмовостійкість недостатньою для забезпечення функціональності власних компонентів. Ці особливості включають їхню конструкцію для роботи в двох режимах: нормальному і критичному. Причому основний час роботи критичні системи критичного застосування перебувають в нормальному режимі, а створюються вони для роботи в критичному режимі [2].

Тому найбільш відповідальний аварійний режим, заради якого створювалась система критичного застосування, не є захищеним від несправностей тільки відмовостійкістю схем, а потребує розвитку їх контролепридатності

Відмовостійкість систем критичного застосування забезпечується різними видами резервування з використанням методів і засобів робочої діагностики, враховуючи оперативний характер його стійкості до несправностей та орієнтацію на збереження достовірності розрахункових результатів.

Моніторинг схемних рішень щодо виявлення їх несправностей та помилок в обчислюваних результатах здійснюється методами тестового та робочого

діагностування в рамках контролепридатності схем. Ефективність моніторингу схем суттєво залежить від рівня їх контролепридатності.

Для дворежимних систем критичного застосування основне завдання ускладнюється тим, що, окрім контролю надійності поточних результатів, необхідно оцінювати достовірність результатів, розрахованих у критичному режимі, використовуючи можливості нормального режиму для цієї мети. Оцінюючи ці можливості, слід зазначити, що цифрові компоненти в нормальному і критичному режимах працюють на різних наборах вхідних даних. Це створює проблему обмеженої контролепридатності цифрових компонентів, що полягає в ризику накопичення прихованих несправностей у звичайному режимі при роботі з тими ж вхідними словами та їх прояву в аварійному режимі при надходженні нових слів. Таким чином, однієї лише відмовостійкості цифрових компонентів недостатньо для отримання надійних результатів у критичному режимі. Необхідно також враховувати можливість тестування цифрових компонентів.

Сучасний розвиток комп'ютерних систем та інформаційних технологій, що в них застосовується, показує на перспективу довготривалого періоду домінування матричних структур в проектуванні цифрових компонентів [3].

Одною з причин низької логічної контролепридатності є спосіб побудови компонентів комп'ютерних систем з використанням матричних структур, які сприяють приховуванню несправностей при функціонуванні на обмеженій множині вхідних слів.

Для вирішення цієї проблеми в умовах домінування матричних структур необхідно розширити поле логічної контролепридатності розробкою нових форм придатності схемних рішень до контролю.

Таким чином, контролепридатність схемних рішень в компонентах систем критичного застосування зостається важливим напрямком дослідження на основі необхідності її покращення для розв'язання проблеми прихованих несправностей та можливостей розробки нових форм контролепридатності.

1.2 Системи критичного застосування та їх особливості

Різноманітні прикладні системи відіграють важливу роль у сталому розвитку людства. З бурхливим розвитком індустріалізації зростає рівень енергетичного споживання це в свою чергу потребує збільшення кількості джерел енергії, які відносяться до об'єктів підвищеного ризику. Людство не може відмовитися від їх розвитку і нарощує загальну потужність цих об'єктів і їх складність, в результаті це вимагає найвищий рівень контролю в процесі експлуатації. Для вирішення подібних задач використовують спеціалізовані комп'ютерні системи критичного застосування. Це такі системи, які призначені керувати різноманітними небезпечними для людини процесами в рамках промислових об'єктів підвищеного ризику, такими як енергетика, транспорт, космічна сфера.

Збільшення потужності об'єктів підвищеного ризику призводить до більш серйозних наслідків у разі виникнення аварії. Тому необхідність у покращенні якості керування цими об'єктами для зменшення імовірності виникнення аварійних ситуацій ніколи не зникне. Ці вимоги адресуються до систем критичного застосування.

Одним з найбільш важливих питань є забезпечення функціональної безпеки цифрових компонентів, який вирішується шляхом побудови відмовостійких структур. В основі їхнього формування лежить множина підходів – використання кодів корекції, мажоритарних структур, різноманітних видів резервування і реконфігурування, та за допомогою використання багатOVERсійних технологій [4].

Оскільки в критичних прикладних системах стійкість до збоїв носить експлуатаційний характер, робочі методи та інструменти діагностики відіграють важливу роль у забезпеченні відмовостійкості.

Можливість робочої діагностики істотно залежить не тільки від цифрового компонента, який аналізується, а й від послідовності вхідних слів, що впливає на перевірку точок цифрової схеми.

Особливості систем критичного застосування накладають обмеження на формування послідовності вхідних слів для цифрових компонентів, знижуючи

можливість перевірки точок цифрової схеми. Особливості, які характеризують такі системи, це два основних режими роботи: нормальний і критичний. В загальному випадку, системи критичного застосування працюють у нормальному режимі весь період експлуатації, а перехід в критичний режим, заради якого вони спроектовані, є рідкою подією і в кращому сценарії ніколи не виникає.

У штатному та критичному режимах система критичного застосування та її компоненти працюють з різними наборами вхідних слів. Зміна вхідних слів в обмежених діапазонах створює проблему низької контролепридатності цифрових компонентів, що призводить до накопичення прихованих константних несправностей під час нормального режиму роботи. Ці несправності можуть погіршити функціональність цифрових компонентів системи під час проходження аварійного сценарію роботи системи [5].

Контролепридатність цифрових компонентів у тестовій та робочій діагностиці служить різним цілям, а тому їх слід оцінювати з різних позицій. У тестовій діагностиці оцінка контролепридатності спрямована на визначення можливості синтезу тесту шляхом обчислення в кожній точці ланцюга добутку її контрольованості на спостережливість. У робочій діагностиці контролепридатність важлива для врахування потенційної загрози від прихованих несправностей, при цьому контролепридатність повністю визначається спостережливістю точок ланцюга на робочих послідовностях вхідних слів.

При цьому поняття спостережливості слід трактувати ширше, беручи до уваги можливість часткової оцінки точки ланцюга на наявність чи відсутність прихованих несправностей.

1.3 Вимоги до систем критичного застосування

Системи, що складаються з електричних та/або електронних компонентів, використовуються протягом багатьох років для виконання функцій безпеки в більшості застосувань. Комп'ютерні системи, що призначені для функцій, не пов'язаних з безпекою, все частіше використовуються для функцій безпеки.

Вимоги до критичних систем містяться в багатьох міжнародних стандартах, одним з яких є ІЕС 61508, який описує функціональну безпеку пов'язаних з безпекою електричних, електронних, програмованих електронних систем.

ІЕС 61508 є міжнародним стандартом, який охоплює питання, які необхідно враховувати при проектуванні електричних, електронних та програмованих електронних систем для функцій безпеки. ІЕС 61508 є універсальним стандартом функціональної безпеки і застосовний до всіх галузей промисловості. Це дозволяє повністю врахувати істотні фактори, пов'язані з поставленими завданнями, і, таким чином, задовольнити конкретні потреби області застосування. Іншою метою цього стандарту є можливість розробки електричних, електронних та програмованих електронних систем, пов'язаних з безпекою в умовах можливої відсутності стандартів для окремих сфер застосування [6].

Центральне місце в ІЕС 61508 займають поняття ризику та функцій безпеки. Ризик є функцією можливості настання потенційно небезпечної події та тяжкості її наслідків. Ризик можна знизити до прийнятних значень, застосовуючи функції безпеки. Стандарт робить такі припущення щодо ризику:

- неможливо досягти нульового ризику;
- безпека повинна бути розрахована з початку процесу проектування;
- неприйнятні ризики повинні бути зведені до найменших можливих значень;

Як одна з основних методологій підтвердження безпеки та виключення систематичних збоїв для систем Е/Е/РЕ, стандарт ІЕС 61508 визначає методологію статичного аналізу, яка дозволяє досліджувати специфічні статичні характеристики прототипних систем для забезпечення повноти, узгодженості та відсутності неоднозначностей щодо сформульовані вимоги.

Стандарт визначає концепцію «Моделі життєвого циклу системи безпеки», аналогічну ISA 84.01-96 [7].

Модель життєвого циклу системи встановлює, що рівень допуску системи не обмежується початковим рівнем допуску пристроїв, що входять до неї, включаючи датчики і виконавчі механізми.

Рівень допуску системи, так само, як і рівень допуску людини, повинен визначатися та підтверджуватись для всіх стадій та етапів побудови об'єктів підвищеного ризику:

- зародження ідеї;
- попереднє обстеження та оцінка;
- проектування;
- експлуатація;
- випробування, перевірка та техобслуговування.

Стандарт визначає 4 рівні інтегральної безпеки (Safety Integrity Level – SIL) залежно від конкретної ймовірності відмови виконання необхідної функції (Probability of Failure on Demand – PFD):

- 4 - Захист від загальної катастрофи;
- 3 - Захист обслуговуючого персоналу та населення;
- 2 - Захист обладнання та продукції, захист від травматизму;
- 1 - Захист обладнання та продукції.

Фактор зниження ризику також потребує правильної інтерпретації. Наприклад, збільшення фактора зниження ризику до 100 і більше років при рівні допуску SIL2 зовсім не означає, що дана конкретна система здатна пропрацювати без небезпечних відмов та помилкових спрацьовувань цю сотню років. Це означає, що з сотні одночасно працюючих систем одна система протягом одного року приведе процес до небезпечної відмови.

Зрештою, завдання рівня допуску SIL ґрунтується на потрібній величині зниження ризику, що визначається під час аналізу безпеки процесу.

Звичайно, кожне підприємство може самостійно приймати рішення, і встановлювати свої вимоги до систем безпеки на основі власної технічної політики. Проте сучасні стандарти безпеки встановлюють та вимагають від підприємств відповідності розпорядженням, виробленим на основі досвіду експлуатації та аналізу причин аварій великої кількості небезпечних об'єктів. Це означає, що в будь-якому випадку вибір рівня інтегральної безпеки та відповідної системи

захисту повинен бути ретельно проаналізований, обґрунтований і точно документований.

На відміну від усіх попередніх стандартів безпеки, ІЕС 61508 передбачає безпосередню участь технологічного персоналу у забезпеченні функцій безпеки. Разом з тим, у стандарті робиться застереження, що конкретні вимоги до технологічного та обслуговуючого персоналу повинні встановлюватися у галузевих стандартах, які мають розроблятися з урахуванням загальної методології безпеки, яка визначається цим стандартом.

У загальному вигляді стандарт ІЕС 61508:

1. Визначає модель розвитку системи безпеки.
2. Визначає два підходи до систем безпеки:
 - системи, що забезпечують захист та безперервність контролю за середньою частотою небезпечних відмов, та
 - системи, що забезпечують захист та контроль за середньою ймовірністю небезпечної відмови протягом визначеного інтервалу часу.
3. Визначає концепцію безпечного допуску.
4. Встановлює 4 рівні безпечного допуску (SIL).

Цей стандарт не встановлює вимог до рівня повноти безпеки для будь-якої функції безпеки, а також не визначає, як встановлюється рівень повноти безпеки. Однак цей стандарт формує концептуальний підхід, що ґрунтується на оцінці ризику, і пропонує приклади методів забезпечення функціональної безпеки.

1.4 Контролепридатність схем в критичних додатках

Під час роботи сучасних систем мікроелектронної автоматики не виключені збої, які не повинні призводити до збоїв у важливих технологічних процесах. З цієї причини на етапі розробки та проектування виправдані заходи щодо підвищення надійності та контролепридатності окремих компонентів, блоків та вузлів. В дані

заходи входять періодичне тестування, резервування, функціональне діагностування та контроль виконання функцій тощо.

Важливою характеристикою сучасних комп'ютерних систем і компонентів є контролепридатність - придатність схем до виявлення несправностей, які в них виникають. Придатність залежить від типу схеми, яку потрібно виконати. Для цифрових схем зазвичай виконується логічний контроль, оснований на перевірці результату обчислення на наявність помилок. Цьому відповідає логічна контролепридатність цифрової схеми, яка найбільш поширена у формі тестопридатності, тобто придатності схеми для її випробувань на виявлення несправностей.

Важливу роль у завданні виявлення проявів несправностей відіграють методи функціональної діагностики – це такий вид технічної діагностики, при якому процедура визначення технічного стану діагностованого об'єкта не вимагає відключення його від роботи з метою застосування тестових дій - при цьому підході робочі дії є одночасно і випробуваннями [8]. Своєчасне виявлення несправного об'єкта всередині пристрою або всієї системи дозволяє блокувати результати його обчислень і не використовувати їх при прийнятті контрольних рішень. Сам несправний об'єкт скидається, і якщо несправність виявляється знову, його відключають від роботи та детальніше досліджують під час тестової діагностики.

Функціональна діагностика часто передбачає непрямий контроль виникаючих несправностей за результатами розрахунків значень робочих функцій [9]. Це дозволяє керувати приладом в цілому, а не його окремими складовими, і, відповідно, зменшити глибину діагностики до окремого блоку з подальшою його заміною при виявленні несправності. При організації систем функціонального керування об'єкт діагностики оснащується технічними засобами діагностики, які дозволяють перевірити правильність розрахунку значень його робочих функцій. Часто ці засоби синтезуються на основі вибору в якості базового якогось блочного рівномірного коду [10]. Відповідність сформованих кодових векторів, до складу яких входять біти робочих функцій об'єкта діагностики та біти спеціальних функцій керування, перевіряється тестером [11].

Також для моніторингу несправностей компонентів у складі систем критичного застосування вдаються до використання методів тестового та робочого діагностування, періодичним контролем працездатності системи безпеки та безперервним автоматичним контролем. [12]

З використанням цифрових компонентів застосовують методи та засоби логічного контролю, що характеризується тим, що неправильне функціонування системи визначається перевіркою на наявність помилки обчислюваних результатів на контрольованих виходах цифрових схем.

Виконання контролю в тестовому діагностуванні цифрових компонентів у складі системи критичного застосування передбачено як під час проведення планово-профілактичних ремонтів в системі та на об'єкті управління, наприклад, системи безпеки енергоблоку та самого енергоблоку електростанції, так і між ремонтами в процесі експлуатації в автоматичному або ручному режимі з мінімізацією будь-якого негативного впливу на роботу і стан безпеки. В процесі експлуатації періодичний контроль виконується за рахунок наявності дублюючих комплектів резервованих компонентів. Незалежно від ступеня автоматизації тестування, переведення комплекту в режим перевірки та назад здійснюється вручну [13]. Однак завжди існує ймовірність порушень в цьому процесі, що складає умови для помилкового подовження режиму перевірки або втручання тестового режиму в нормальний режим експлуатації.

Автоматичний контроль працює на протязі всього часу функціонування системи діагностики. Він розповсюджується на перевірку працездатності складових частин системи, відсутності спотворень в програмах і даних в постійній пам'яті, відповідності складу і конфігурації проектним характеристикам та встановленої версії програмного забезпечення фактичному складу та конфігурації, справності ланцюгів передачі сигналів, команд і обчислень при їх виконанні, коректності обміну повідомленнями по каналах зв'язку системи [14].

Слід зазначити, що робоче діагностування цифрових схем загалом націлене на оцінку достовірності обчислюваних результатів та повністю зберігає цю мету

тільки в аварійному режимі. Нормальний режим, що передує аварії, як правило, відіграє роль тестового режиму [15].

Таким чином, робоче діагностування в нормальному режимі змінює свою мету на виявлення несправностей відповідно до функцій тестового діагностування. В нормальному режимі допускається подача короткочасних тестових сигналів на входи схем компонентів системи, що не приводять до ініціювання захистів, але дозволяють перевірити працездатність вхідного або вихідного інтерфейсу схеми. Разом з тим, в нормальному режимі тестові функції виконуються робочим діагностуванням в основному на некерованих робочих послідовностях вхідних даних, а не на тестах. Тому спроможність робочого діагностування до виявлення несправностей в нормальному режимі обмежена використанням тільки вхідних даних, характерних для цього режиму [16].

Існує й інший підхід до синтезу технічних засобів діагностики, пов'язаний з перевіркою відповідності значень сформованих робочих функцій деякому попередньо вибраному класу функцій алгебри логіки [17]. Наприклад, контроль монотонності або самоподвійності функцій.

1.4.1 Логічна контролепридатність в системах критичного застосування

Комплексне тестування сучасних високопродуктивних комп'ютерів на практиці є складним і трудомістким завданням. Наявність схем оптимізації під час обробки інформації, паралельна та асинхронна робота окремих пристроїв обчислювальної системи призводять до того, що система не може бути представлена простою сумою її складових частин. Необхідно не тільки досліджувати інтерфейс між пристроями системи, а й враховувати динаміку функціонування системи, що має місце під час реальної експлуатації. Потрібні спеціальні тестові програми, які здійснюють комплексну перевірку комп'ютерної системи.

Традиційно логічний підхід, орієнтований на управління схемами у завідомо стабільних станах і заснований на моделі логічних ідентичних несправностей.

Логічне діагностування схеми – це діагностування, при якому виходи схеми контролюються через час, який, як відомо, більше, ніж затримка їх переходу в стійкий стан після фіксації вхідного тестового набору. Умови логічної діагностики описуються методами синхронного логічного моделювання [18], вони орієнтовані на контроль логічних дефектів, зокрема описаних моделлю одиночно логічної тотожності. Логіко-динамічне діагностування відрізняється від логічної діагностики тим, що виходи контролюються через мінімальну технічно допустиму затримку, яка для справної схеми забезпечує стабільні логічні стани після будь-якого тестового набору, а для схем з динамічними дефектами, викликаними, через надмірні затримки, виявляє несправності. За таких умов контролюються логічно-динамічні дефекти (сукупність логічних і динамічних дефектів), зокрема ті, які описуються моделлю найпростішої одиничної логіко-динамічної несправності [19]. Для синхронних схем діагностика найбільш ефективна при контролі на максимально допустимій частоті. Умови логіко-динамічної діагностики справної схеми або схеми з одиночними логіко-динамічними відмовами описуються методами синхронного, а схеми з довільними логіко-динамічними відмовами - методами асинхронного моделювання.

В якості об'єкта діагностики зазвичай розглядаються комбінаційні підсхеми та контролепридатні синхронні послідовні схеми. Це дозволяє:

а) за допомогою властивості синхронності просто встановити єдиний критерій значних логіко-динамічних дефектів;

б) вважати, що перевірка інтерфейсу виконується відомими способами [20] і вирішувати лише задачу логіко-динамічного діагностування контролепридатного ядра;

в) вважати, що ядро побудовано відповідно до принципів «САПР-застосовного» проектування [21] (має синхронну організацію, відсутні внутрішні магістралі).

Також варто усвідомлювати, що сучасні САПР для розробки цифрових компонентів, FPGA проектування також орієнтовані на обробку даних в

паралельних кодах з використанням матричних структур, які пропонуються у вбудованому вигляді та бібліотеках схемотехнічних рішень [22].

1.4.2 Проблеми логічної контролепридатності в системах критичного застосування

Так як системи критичного застосування мають два режими роботи, це нормальний режим та аварійний, то контролепридатність також, згідно структури, успадковує дворежимну форму. Таким чином, функціональна контролепридатність може бути різною в нормальному та аварійному режимах, що сприяє виникненню проблеми прихованих несправностей.

Тестопридатність цифрових схем при якій на вхід схеми подаються вхідні та вихідні дані у вигляді послідовності бінарних кодів відносять до логічної контролепридатності, тобто контролепридатності при якій виконується аналіз обчислювальних результатів на наявність помилки в них. Як наслідок, виникає суттєве обмеження, що полягає в її залежності від вхідних даних, такий вид контролепридатності набуває особливості структурно функціональної контролепридатності, так як повністю базується на її структурі.

Негативний прояв залежності від вхідних даних посилюється сучасним проектуванням цифрових пристроїв з використанням матричних структур, що забезпечують обробку даних, представлених у паралельних кодах. Арифметичні операції виконуються на паралельних додавачах та зсувачах, матричних помножувачах та подільовачах [23].

Паралельні коди водночас доступні для обробки в усіх своїх розрядах, однак їх обробка не досягає такого рівня паралелізму і, як правило, виконується у послідовно-паралельний спосіб, що сприяє накопиченню прихованих несправностей при виконанні обчислень на обмеженій множині вхідних даних [24].

Також, наявність в цифрових схемах ліній загальних сигналів, наприклад, сигнали синхронізації, сигнали скиду та сигнали загального управління не сприяють підвищенню логічної контролепридатності. Наявність будь-яких

несправностей у цих лініях може призвести як до блокування окремих компонентів, так і до відмови системи в цілому.

Нормальний режим роботи критичних систем полягає в тому що вхідні дані можуть не змінюватися роками завдяки високим технологіям. Однак, це одночасно є проблемою, так як високо стабільні сигнали після оцифрування перетворюються в константу, і в разі виникнення аварійної ситуації активність вхідних сигналів зростає. Разом з тим зростає і різноманітність сигналів, в результаті несправності які могли накопитися, включаючи несправності системи синхронізації починають масово проявлятися та обвалювати відмовостійкість системи в аварійному режимі.

Тому, логічна контролепридатність в нормальному режимі при дуже низькому рівні зміни інформаційних сигналів дуже низька, та не виключає накопичення прихованих несправностей.

Приховані несправності є повністю безпечними і не створюють ніяких проблем у звичайних комп'ютерних системах, оскільки вони працюють в єдиному робочому режимі і несправність залишається прихованою протягом всього режиму. Тому проблема прихованих несправностей притаманна тільки системам критичного застосування як двохрежимним системам [25].

При розв'язанні цієї проблеми вдаються до застосування додаткових підходів таких як: використання небезпечних імітаційних режимів, методів вирівнювання контролепридатності схем нормального та аварійного режимів.

Ідея методу вирівнювання логічної контролепридатності схем нормального та аварійного режимів полягає у тому, що прихована несправність в нормальному режимі повинна залишатися такою і в аварійному режимі, не маючи на його функціональність ніякого впливу. А у випадку, якщо несправність проявляється в аварійному режимі, то вона не є прихованою, бо повинна проявляти себе спочатку в нормальному режимі і повинна бути виявлена методами та засобами робочого діагностування [26].

Також відомі методи підвищення логічної контролепридатності в нормальному режимі, які принципово обмежені наявністю в системах критичного застосування двох режимів, що об'єктивно розподіляють вхідні дані між цими

режимами при виконанні обчислень в паралельних кодах на матричних структурах [27].

Але такі способи мають суттєві недоліки, які полягають у обмеженні використання цифрових компонентів в системах критичного застосування. Тому в рамках контролепридатності систем критичного застосування проблеми прихованих несправностей залишаються невирішеними.

1.4.3 Відомі рішення моніторингу схем за енергетичними показниками

Факт наявності в FPGA проектуванні інструментів оцінки та аналізу цифрових схем за їх енергетичними показниками надає можливість вдосконалення контролепридатності критичних рішень шляхом доповнення логічної контролепридатності іншими формами контролю. Відомі форми моніторингу схем на основі розсіюваної потужності, тобто на вимірюванні температури в процесі роботи схеми [28].

Розсіяна потужність базується на частині потужності, що була розсіяна в формі тепла від кристалу мікросхеми. Вона складається з суми статичної та динамічної складових FPGA ядра та системи введення виведення.

Сучасні САПР пропонують розвинені інструменти для оцінки енергетичних параметрів FPGA проектів, включаючи утиліту PowerPlay Power Analyzer, яка дозволяє оцінювати потужність що розсіюється з урахуванням динамічної та статичної складових для ядра, а також системи введення/виведення [29]. Оцінюючи потужність що розсіюється ядром враховуються всі структурні елементи FPGA мікросхеми. Оцінка розсіюваної потужності перераховується утилітою у відповідне значення температури кристала.

Також існують спеціалізовані датчики-термометри для моніторингу значень розсіяної потужності, які дозволяють вимірювати значення температури мікросхем.

Однак результати недавніх досліджень [30] свідчать про неможливість виявлення несправності відключення синхронізації навіть у 37,5% синхровходів

схеми. Термальний моніторинг виявляється неефективним внаслідок недостатньої термальної контролепридатності схем щодо несправностей синхронізації та обмеженої точності сучасних датчиків температури. На даний час, точність вимірювання датчиками знаходиться на рівні $0,5^{\circ}$ C. Це істотно обмежує можливості виявлення несправності схем за розсіяною потужністю і показниками температури.

1.5 Огляд технології FPGA

FPGA завоювали міцну позицію, еволюціонуючи від невеликих допоміжних мікросхем до повноцінних високопродуктивних комп'ютерів, успішно конкуруючи, а в деяких місцях замінюючи процесори та мікроконтролери загального призначення.

Технологія FPGA є альтернативою мікропроцесорній (комп'ютерній) технології та іншим технологіям, заснованим на різних типах програмованих логічних пристроїв. Фізично FPGA – це складний напівпровідниковий програмований пристрій, який можна налаштувати для виконання функцій, необхідних замовнику. Цей пристрій містить чіп FPGA, що представляє апаратне забезпечення, яке можна оцінити на відповідність кваліфікаційним тестам апаратного забезпечення, і електронну конструкцію FPGA, представлену як набір інструкцій мовою опису обладнання, які можна перевірити на відповідність функціональним вимогам [31].

FPGA – програмовані логічні інтегральні схеми – це клас мікросхем зі змінною конфігурацією. Неофіційно FPGA можна розглядати як конструктор, який надає набір компонентів на чіпі і дозволяє користувачеві підключати їх належним чином для виконання певної функції.

На відмінну від CPLD, що представляє собою сукупність макроелементів (по своїй суті ПЛМ), які зв'язані через конфігуровану матрицю зв'язків, в FPGA використовуються таблиці підстановок (LUT, look-up table). Використання таких LUT спростило синтез і дозволило створювати більш складні схеми. Великі сучасні

FPGA містять мільйони LUT. Спочатку FPGA мали небагато ресурсів і могли реалізувати лише найпростіші функції, що визначило їх типове використання в області склеювання між кількома мікросхемами, що взаємодіють з різними протоколами. Поступово можливості FPGA зростали не тільки кількісно, а й якісно: з'явилися нові обчислювальні елементи, такі як блочна пам'ять і DSP-блоки. В результаті FPGA увійшли в сегмент цифрової обробки сигналів, а потім мережевої обробки, криптографії та інших. Зараз FPGA є серйозними обчислювальними пристроями з можливістю програмування, з високою продуктивністю та з низьким енергоспоживанням, що перевершує процесори загального призначення та графічні процесори.

1.5.1 Архітектура технології FPGA

Основними будівельними блоками FPGA є регістри та LUT. LUT реалізує довільну логічну функцію з заданої кількості вхідних даних, зводячи всі її значення в таблицю. LUT має кілька вхідних сигналів (від 3 до 6) і 1-2 вихідних сигналів, всередині неї містяться конфігуровані блоки статичної енергозалежної пам'яті (SRAM), які задають всі значення реалізованої функції і адресуються вхідними сигналами.

Визначення оптимальної кількості входів LUT — сфера активних досліджень. Якщо ще не так давно число 4 було популярним, то зараз думки розділилися. Деякі виробники (Intel/Altera, Xilinx) використовують число 6, оскільки воно дозволяє досягти зростання продуктивності на 14% за рахунок зменшення кількості логічних шарів, хоча це збільшує площу на чіпі на 17%. Інші постачальники (Microsemi) використовують номер 4 на тій підставі, що він максимізує енергоефективність, а також зменшує виграш від 6-вхідних LUT в сучасних процесах, де затримка лінії трасування перевищує затримку перемикання елементів. Кількість LUT коливається від кількох тисяч до кількох мільйонів.

Регістри та LUT об'єднуються в ALM (adaptive logic module – адаптивний логічний модуль). Незважаючи на відмінності в назвах, загальна ідеологія

виробників однакова: 2-4 LUT, 4-8 регістрів, ланцюги переносу та ресурси трасування. На рівень вище ці блоки поєднуються з лініями трасування, утворюючи CLB (configurable logic block – конфігурований логічний блок) або LAB (logic array block – блок логічного масиву) [32].

Ще вище CLB/LAB з'єднуються один з одним та з іншими ресурсами на чіпі за допомогою ліній трасування та синхронізації. Ефективна топологія ресурсів трасування також активно досліджується: необхідно забезпечити достатню гнучкість зв'язків між компонентами, уникаючи великої затримки поширення сигналу, непотрібних ліній і непотрібних з'єднань. Подібні проблеми існують і для ліній синхронізації, але додатковою вимогою є збереження невеликого зсуву тактового імпульсу або його компенсація. Інша проблема — гнучкість ресурсів синхронізації, що дозволяє використовувати різні тактові сигнали в різних областях чіпу.

Інші ресурси включають: блоки DSP, блочну пам'ять, високошвидкісні трансивери, інтерфейси пам'яті, тактові генератори/перетворювачі.

Блоки DSP є апаратними елементами для оптимізованої реалізації арифметичних операцій, таких як множення, додавання, віднімання тощо. Блоки DSP мають велику кількість опцій, що стосуються комбінації операцій, бітів і конвеєрної передачі. У великих моделях кількість блоків DSP досягає десятків тисяч. Спочатку ці блоки з'явилися для вирішення завдань цифрової обробки сигналів, а також для обробки відео. Зараз вони дуже корисні при реалізації алгоритмів машинного навчання.

Блочна пам'ять організована у вигляді двопортових блоків розміром кілька кілобайт. Пам'ять статична (SRAM) і нестабільна. Загальна ємність чіпу становить близько кількох мегабайт.

Пристрої керування синхронізаційними імпульсами дозволяють генерувати та перетворювати синхронізовані імпульси, компенсуючи зсув імпульсів синхронізації.

Інтерфейси пам'яті дозволяють підключати FPGA до DDR. Загальна пропускна здатність інтерфейсів пам'яті становить кілька гігабіт за секунду.

Високошвидкісні трансивери забезпечують низькорівневу апаратну реалізацію основних високошвидкісних протоколів, таких як PCI-E, SFP, SATA, а також налаштований логічний інтерфейс для них. Деякі моделі FPGA, орієнтовані на передачу даних, містять сотні 32 Гбіт/с або десятки 52 Гбіт/с трансиверів. Теоретично такий пристрій може передавати до кількох терабіт даних в секунду. Крім того, деякі моделі вже підтримують 100G Ethernet.

Завдяки тонкій деталізації елементів користувачі можуть обмінюватися продуктивністю і точністю на кількість ресурсів і споживання енергії в широкому діапазоні.

Типовим прикладом може бути реалізація нейронних мереж. У разі FPGA можна створити нейронну мережу з операндами заданої бітової глибини, наприклад, якщо завдання дозволяє, використовувати 11 або 3-розрядні числа, в результаті на одній і тій же мікросхемі поміститься більше обчислювачів і продуктивність буде вище, але енергоспоживання менше [33].

1.5.2 Конфігурація та реконфігурація FPGA рішень

Ключовою особливістю пристроїв FPGA є можливість їх налаштування. Архітектура FPGA містить велику кількість компонентів і ресурсів трасування, між якими, як і у найперших пристроїв FPGA, є комутатори. На відміну від своїх ранніх предків, сучасні FPGA використовують перемички на основі пам'яті, в першу чергу енергозалежну SRAM, рідше – на основі флеш-пам'яті. Конфігурація LUT полягає в записі певної таблиці підстановки в її пам'ять. Для ALM встановлюються використовувані LUT і регістри, а також налаштування ланцюга переносу. В блоках DSP встановлюється режим роботи. Інші елементи налаштовуються таким же чином. Файл конфігурації зчитується під час запуску або перезапуску, і відповідно до його вмісту всередині FPGA встановлюються конкретні значення перемикачів та налаштування елементів.

Використання елементів SRAM як конфігураційної пам'яті має як переваги, так і недоліки: переваги – це добре перевірена технологія, недоліки – можливість

збоїв від іонізуючого випромінювання, енергетична залежність. Також використовується Flash технологія, її переваги: низьке енергоспоживання, енергонезалежність, радіаційна стійкість; її недоліки: донедавна мала недостатню щільність і швидкість, вимагала спеціального процесу виготовлення. Враховуючи рівень і темпи розвитку flash-пам'яті, цілком ймовірно, що її використання в FPGA в найближчі роки збільшиться. А також, існують FPGA, які засновані на перемичках із записом, які програмуються тільки один раз [34].

Динамічна реконфігурація є однією з найголовніших особливостей сучасних FPGA. Ідея полягає в тому, що FPGA може вибирати області змін і змінювати їх конфігурацію під час роботи пристрою, фізично використовуючи ті самі ресурси мікросхеми. Наприклад, коли система реєструє, що отримує велику кількість арифметичних запитів, вона може ініціювати реконфігурацію і збільшити кількість обчислювальних модулів, а коли навантаження спадає, завантажити модуль системного завдання. Процес реконфігурації займає мілісекунди.

FPGA також забезпечує функції захисту конфігураційних файлів, зокрема шифрування. Розробник шифрує прошивку, і коли FPGA завантажується, прошивка розшифровується на платі і лише потім використовується для налаштування.

1.5.3 Етапи проектування FPGA рішень

На першому етапі виконується опис модуля проектування. Це виконується на одній з мов HDL, наприклад VHDL або Verilog, зокрема існують графічні інструменти, які генерують код інфраструктури, є інструменти, які генерують код для реалізації конкретних завдань, наприклад, фільтри DSP за їх математичним описом, або нейронні мережі за визначеними користувачем параметрами, є інструменти, які генерують код HDL з коду мовою програмування високого рівня, таких як, C або Python. У будь-якому випадку результатом є деякий абстрактний опис бажаної поведінки [35].

На наступному кроці опис проходить стадію синтезу. Виконується його аналіз компілятором: витягуються логічні компоненти, розв'язується ряд рівнянь мінімізації та будується спеціальний незалежний від платформи файл netlist, що містить граф логічних елементів та зв'язків між ними. Потім виконується його відображення в платформозалежний файл netlist та також мінімізується.

На етапі розміщення (placement) файл netlist розширюється до наявних ресурсів FPGA. Критеріями оптимізації служать обмежуючі фактори, такі як довжина з'єднувальних ліній, час поширення сигналу/затримка, фізичне розміщення портів та інших ресурсів, енергія що споживається та заповнення кристалу.

На етапі трасування розміщені компоненти з'єднуються один з одним за допомогою доступних ліній трасування та ліній синхронізації.

З алгоритмічної точки зору задачі, що вирішуються на етапах синтезу, розміщення та трасування є NP-комплексними. Тому ці етапи для великих кристалів і складних проектів можуть зайняти години або навіть дні.

З іншого боку, широко використовуються різноманітні евристичні методи, тому часто комбінація параметрів може досягти успішного укладання обмеженого проекту на кристал. Після розміщення та трасування виконується завантаження необхідних параметрів та підготовка конфігураційного файлу до конкретної FPGA, який називають прошивкою.

1.5.4 Особливості сучасного проектування систем критичного застосування з використанням FPGA

FPGA можна знайти в пристроях із найрізноманітніших галузей: автомобільної електроніки, промислових систем керування, медичних пристроїв, побутової електроніки, дротових та бездротових комунікаційних систем, високопродуктивних суперкомп'ютерів, центрів обробки даних, повітряних та космічних технологій.

Наявність у виробі FPGA означає феноменальну гнучкість логіки цього виробу (в більшості випадків це заводська можливість корекції логіки роботи пристрою без проведення будь-яких електромонтажних операцій, що дозволяє врахувати потреби споживачів). Ресурси сучасних FPGA (навіть молодших в обраному сімействі) вже дозволяють реалізовувати складні алгоритми, в тому числі, алгоритми цифрової обробки сигналів [36].

На першому етапі весь проект розбивається на частини, визначається їх призначення та взаємозв'язок, приймається рішення про способи реалізації частин. Рішення про використання FPGA, прийняте на системному етапі, дозволяє виконувати конструкторсько-технологічне проектування модуля верхнього рівня паралельно з реалізацією інших етапів. Наприклад, при розробці контролера шини приймається рішення про реалізацію логіки зв'язку шини на основі FPGA. Це дозволяє приступити до проектування друкованої плати відразу після визначення номенклатури FPGA і наборів вхідних і вихідних сигналів.

Проектування пристроїв на базі FPGA виконується за допомогою спеціалізованих САПР, що значною мірою диктують методику та засоби розробки, а також елементну базу. При цьому використовуються як інструменти візуального проектування, які мають гарну видимість, так і процес проектування з командним контролем, що сприяє більшій автоматизації. Проектування за допомогою такої САПР полягає в послідовному використанні наданих програмних засобів. У термінології САПР цей процес називається маршрутом проектування.

Структурно-алгоритмічні та функціонально-логічні етапи проектування пристрою на основі FPGA базуються на ітеративному введенні та перевірці описів паралельних процесів функціонування, кожен з яких реалізує заданий алгоритм.

Сучасні САПР підтримують декілька способів опису пристрою:

- використання мов опису обладнання (VHDL, Verilog, AHDL та ін.) та спеціалізованого текстового редактора;
- схемний спосіб опису за допомогою програми візуального дизайну, що дозволяє розробнику розміщувати функціональні блоки на робочому просторі та

з'єднувати їх. В кінці візуального проектування схема перетворюється на мовний опис;

- графічне представлення цифрових автоматів у спеціалізованому редакторі, що забезпечує перетворення отриманого графічного зображення в опис мови;

- опис комбінаційної логіки за допомогою таблиць істинності, карт Карно, функцій алгебри логіки.

Процес проектування пристрою ітеративний. Після виконання кожної підзадачі виконується верифікація результуючого опису, для чого використовуються різні засоби моделювання та аналізу. У сучасних САПР для моделювання використовуються такі типи описів [37]:

- початковий поведінковий опис;
- опис рівня регістра (RTL-опис);
- опис процесу після синтезу;
- технологічний опис з урахуванням результатів розміщення;
- технологічний опис з урахуванням результатів трасування.

Після трасування та перевірки результатів автоматично створюється файл послідовності конфігурації, що містить інформацію про перемикання та функціональність усіх ресурсів на чіпі. На завершальному етапі маршруту проектування виконується програмування FPGA і подальша внутрішньосхемна перевірка пристрою. Розробник може використовувати додаткове обладнання (осцилографи, логічні аналізатори, генератори сигналів) або використовувати спеціалізовані вбудовані FPGA, логічні аналізатори, вбудовані в FPGA.

1.6 Висновки

Системи критичного застосування займають важливе місце в розвитку людства. Такі системи потребують високонадійні комп'ютерні системи для керування технологічним процесом. Однак такі системи на відмінну від звичайних комп'ютерних систем мають два режими роботи, нормальний режим та аварійний. В рамках нормального режиму всі компоненти системи працюють в штатному

режимі. Весь або майже весь експлуатаційний період таких систем проходить в нормальному режимі. А у випадках виникнення аварійних ситуацій система забезпечена аварійним режимом, який створений для проходження безпечного сценарію аварії. Тому системи критичного застосування потребують особливих підходів до розробки.

Контролепридатність цифрових компонентів систем критичного застосування є необхідною складовою у забезпеченні функціональної безпеки і системи, і об'єкта управління. До систем критичного застосування відносять комп'ютерні системи, які розвиваються у напрямку керування об'єктами підвищеного ризику, до яких належать енергомережі, електростанції, швидкісний наземний та повітряний транспорт, тощо. Керування спрямоване на забезпечення функціональної безпеки і системи, і об'єкта для запобігання виникненню аварій та зниження їх наслідків. Розвиток моделей контролепридатності в її логічній формі від тестопридатності до структурно-функціональної та дворежимної призвів до порозуміння проблеми прихованих несправностей і визначення шляхів її вирішення, покращуючи ефективність робочого діагностування цифрових схем.

Технологія FPGA одна з небагатьох, яка може задовільнити усі вимоги по розробці комп'ютерних систем критичного застосування, на всіх етапах проектування систем. Технологія забезпечує всіма необхідними інструментами для проектування критичних застосунків, це спеціалізовані САПР, з великою бібліотекою стандартних компонентів та великою кількістю різноманітних утиліт, які дозволяють моделювати та оцінювати різноманітні параметри проектів.

2 ТЕОРЕТИЧНЕ ПОЛОЖЕННЯ ФАКТОРУ ДОДАВАННЯ ЕНЕРГЕТИЧНОЇ КОНТРОЛЕПРИДАТНОСТІ

2.1 Постановка завдання на кваліфікаційну роботу

Оскільки логічна контролепридатність в нормальному режимі при дуже низькому рівні зміни інформаційних сигналів дуже низька, та не виключає накопичення прихованих несправностей. У зв'язку з цим виникає потреба у підвищенні загальної контролепридатності, шляхом доповнення логічної контролепридатності контролепридатністю, яка базується на показниках енергоспоживання, зокрема за струмом споживання, так як в процесі правильного функціонування схеми напруга залишається незмінною.

Тому дослідження спроможності моніторингу FPGA компонентів на основі струму споживання для підвищення загальної контролепридатності систем критичного застосування потребує експериментального підтвердження.

Для досягнення поставленої мети необхідно виконати наступні завдання.

Дослідження особливостей матричних елементів в FPGA проектуванні. Визначення енергетичних параметрів матричних елементів в різноманітних режимах їхньої роботи, як в справному стані, так і при наявності несправності. Дослідження впливу несправностей в матричних елементах на енергоспоживання схеми, та оцінювання цього впливу. Проведення експериментальних дослідів на предмет спроможності моніторингу матричного поділювача за струмом споживання. Аналіз результатів експериментальних дослідів, та винесення висновків щодо спроможності моніторингу матричного поділювача та його енергетичної контролепридатності.

2.2 Енергоорієнтована контролепридатність як доповнення до логічної

Логічна контролепридатність схеми визначається контролем результату обчислень, тобто множиною значень контрольованого коду, а енергетична

базується на показах енергетичного параметра схеми, який контролюється, наприклад, це може бути струм споживання, або потужність розсіювання, або в деяких випадках напруга.

В рамках нормального режиму роботи системи критичного застосування в умовах обмежених вхідних даних з використанням логічного контролю можуть бути відсутні вхідні набори, які реєструють несправність синхронізації. Таким чином, логічний контроль не здатний до виявлення несправностей, пов'язаних з системою синхронізації [38].

Одним із головних факторів нормального функціонування схем є справна система синхронізації, відключення ланцюгів синхронізації призводить до зупинки компонентів комп'ютерної системи, так само, як відсутність живлення схеми.

Енергоорієнтована контролепридатність визначає можливість виявлення несправностей, що зменшують покази струму споживання схеми. Суттєве зниження рівня струму споживання можливе у разі виникнення несправності в ланцюгах загальних сигналів, такі як, ланцюги синхронізації, сигнали управління.

Так як значення енергетичного параметра може коливатися в межах якоїсь області значень, то ця область представляється діапазоном, що містить всі значення контрольованого параметра. Тому структура енергетичної контролепридатності задається діапазоном зміни енергетичного параметра при правильному функціонуванні схеми.

В системах критичного застосування основний час роботи проходить в нормальному режимі. Однак, враховуючи особливість таких систем, а саме, завдяки високим технологіям основні процеси проходять у високостабільному стані. Після оцифрування значень параметрів таких процесів, на виході отримують майже константні сигнали, та з деякою періодичністю активно перемикаються лише молодші розряди регістрів. Такі умови не виключають можливості виникнення прихованих несправностей. Та у разі виникнення прихованої несправності логічна контролепридатність не здатна її виявити, так як такого роду несправності цілком допустимі при логічному контролі.

Сучасні САПР-системи, які підтримують FPGA проектування, забезпечують інструментами для попередньої та поточної оцінки проектів FPGA за їх споживаною потужністю, що є основою для використання схемотехніки з точки зору потужності споживання. Також для FPGA-орієнтованих цифрових систем формуються та вдосконалюються можливості моніторингу схем за енергетичними параметрами, з використанням датчиків, які весь час вдосконалюються в технічних показниках.

Таким чином, енергоорієнтована контролепридатність не витісняє логічну контролепридатність, а навпаки доповнює її, тим самим покращує загальну контролепридатність, що дуже важливо для зниження імовірності виникнення прихованих несправностей в системах критичного застосування.

В процесі функціонування FPGA проекту, в залежності від активності інформаційних сигналів значення струму споживання змінюється. Величина активності визначається двома факторами: частотою синхронізації схеми в FPGA проекті, та кількістю переключень інформаційних сигналів. Саме значення активності інформаційних сигналів впливає на результуючий струм споживання всього FPGA проекту.

Відомі техніки, які дозволяють на основі функціонального та часового моделювання FPGA-проекту оцінювати вклад активності інформаційних сигналів на динамічну потужність [39]. Разом з тим, відсутні рішення, які б оцінювали вплив можливих несправностей сигналів в проекті на показники енергоспоживання.

В процесі функціонування схема може знаходитися в одному з трьох режимів [40], які визначаються поточним струмом споживання. Покази поточного струму знімаються з датчика струму. Більшу частину експлуатаційного періоду схема знаходиться в стані нормального режиму, в цьому режимі всі компоненти схеми працюють в штатному режимі. В цьому режимі покази струму споживання знаходяться в рамках певного діапазону значень, вихід за межі якого, означає вихід схеми з нормального режиму.

Другий режим, це режим нульової активності. В цьому режимі всі компоненти схеми також знаходяться в справному стані, однак інформаційні

сигнали, які приходять на вхід схеми не перемикаються, тобто динамічна складова потужності споживання мінімальна. В рамках цього режиму значення струму лежить в межах деякої області значень, вихід за верхню межу цієї області переводить схему в нормальний режим роботи.

Третій режим – режим несправності, тобто в схемі присутня несправність пов'язана з відключенням синхронізації деякого контакту, це призводить до зниження показів струму споживання.

Для чіткого виявлення несправності необхідною умовою є те, що покази струму в нормальному режимі повинні знизитись нижче рівня нульової активності, у такому разі підхід до моніторингу за струмом споживання реєструє несправність.

2.3 Підхід до моніторингу за струмом споживання

До загальних сигналів схем цифрових компонентів відносяться, в першу чергу, сигнали синхронізації, які найбільш важливі з точки зору функціонування схем, а також різноманітні сигнали скидання та управління їх функціональними вузлами.

Несправність загального сигналу може заблокувати роботу схеми або її частини, що не завжди вчасно виявляється засобами логічного контролю. Особливо небезпечно це для систем критичного застосування, оскільки в їх нормальному режимі роботи можуть бути взагалі відсутні вхідні набори, що дозволять діагностувати несправність за її проявом в порушенні логіки функціонування схеми цифрового компонента.

Однак виявлення несправності в ланцюгах загальних сигналів можливе за проявом цієї несправності у вигляді зміни значень енергетичних показників проекту, реалізованого на FPGA, при його функціонуванні.

Внаслідок блокування роботи схеми або її частини, що спричиняється несправністю, можна очікувати істотне зниження активності перемикань внутрішніх та вхідних сигналів FPGA проекту. Це, в свою чергу, призводить до

зниження струму споживання, яке можливо відстежити за допомогою відповідних датчиків [41].

Суть підходу до моніторингу полягає в порівнянні поточних показів струму та показів струму режиму нульової активності. Якщо поточний рівень струму споживання опуститься нижче рівня нульової активності, то несправність виявляється.

Для виявлення несправності синхронізації попередньо необхідно визначити значення струму споживання для режиму нульової активності, тобто коли інформаційні сигнали не перемикаються.

Таким чином, підхід до моніторингу за струмом споживання діагностуватиме несправність у випадку коли виміряне поточне значення струму споживання буде меншим за нижню межу режиму нульової активності, наступне відношення добре демонструє цю умову:

$$I_C < I_{MIN}, \quad (2.1)$$

де I_C – поточне значення струму споживання;

I_{MIN} – значення струму режиму нульової активності.

Ліва сторона відношення визначається вимірним значенням струму споживання, а права визначається для кожного проекту окремо, шляхом обчислень, або шляхом проведення попередніх дослідів при розробці проекту.

2.4 Висновки

Таким чином, вплив активності інформаційних сигналів FPGA-проектів на струм споживання через значення їх динамічних складових та вплив, що створюють несправності загальних сигналів на динамічні показники, складають передумови для розвитку енергоорієнтованих форм контролепридатності та подальшого розвитку методів моніторингу енергетичних параметрів.

Обмеження логічної контролепридатності цифрових компонентів систем критичного застосування у виявленні прихованих несправностей створює передумови для доповнення логічної контролепридатності контролепридатністю енергоорієнтованою за рахунок використання показів струму споживання в якості контрольованої величини FPGA проектів.

Пропонована модель енергоорієнтованої контролепридатності, виражається в тому що в процесі функціонування схема може знаходитися в одному з трьох режимів, режим нормальної роботи, режим нульової активності та режим несправності, кожен з трьох режимів визначається діапазоном певних значень струму споживання. В процесі нормальної роботи схеми сигнали перемикаються, це відображається в енергетичному аспекті певним струмом споживання. В процесі нормальної роботи, але при умові, що інформаційні сигнали не перемикаються, схема знаходиться в стані нульової активності. Зниження струму споживання нижче рівня нульової активності, тобто у разі виникнення несправності пов'язаної з синхронізацією, наприклад відпайка контакту, запропонований підхід виявляє таку поведінку як несправність.

Визначено загальні положення енергоорієнтованої контролепридатності схем, яка встановлює вплив активності інформаційних сигналів FPGA проекту цифрового компонента на значення енергетичних параметрів, що створює можливості для моніторингу схем на предмет виявлення прихованих несправностей в ланцюгах загальних сигналів.

В рамках теоретичного аналізу енергоорієнтованої контролепридатності був запропонований підхід до моніторингу несправностей за струмом споживання. Він дозволяє виявляти приховані несправності сигналів синхронізації, шляхом порівняння значенням струму нульової активності схеми зі значенням поточного струму споживання схеми, що отримується від датчиків при функціонуванні проекту на чипі.

3 ЕКСПЕРИМЕНТАЛЬНЕ ДОСЛІДЖЕННЯ СПРОМОЖНОСТІ МОНІТОРИНГУ МАТРИЧНОГО ПОДІЛЮВАЧА

3.1 Обґрунтування вибору та опис експериментального стенду

ПЛІС – це дуже важливі елементи сучасної електроніки. Ці схеми дозволяють реалізувати обумовлені користувачем логічні функції, аналогічні користувацьким ASIC, але з набагато меншими витратами на розробку. Програмовані логічні схеми не нові. Першими програмованими цифровими елементами вважаються пам'яті PROM, які почали з'являтися на межі шістдесятих і сімдесятих років ХХ століття. Схеми, які називаються FPGA (програмовані користувачем вентильні матриці), мають найбільш загальну структуру з усіх програмованих користувачем схем і зазвичай містять найбільшу кількість логічних ресурсів, що використовуються. Схема FPGA складається з логічних блоків (CLB), блоків введення-виведення (IOB), програмованих матриць міжз'єднань і засобів конфігурації, які керують конкретними налаштуваннями кожного блоку та їх взаємозв'язком. Крім того, окремі виробники додають до ПЛІС додаткові функціональні блоки, які розширюють можливості їх схем. Включення мікропроцесорів до ПЛІС в останні роки не є чимось новим. Деякі старі високопродуктивні ПЛІС включали мікропроцесор PowerPC 4xx або ARM з набором інструкцій версії 2. Після перерви у кілька років виробники почали повертатися до цього варіанту, і з'явилися нові ПЛІС із вбудованими багатоядерними процесорами ARM Cortex-A9. Таким чином, ця технологія є цікавою альтернативою звичайним SoC завдяки своїй програмованості.

FPGA мають усі переваги спеціалізованих мікросхем, але не вимагають багато часу на проектування та збірку. Однак без належних інструментів проектування всі ці переваги нічого не означають. Ці засоби проектування повинні бути не тільки простими у використанні, надійними та ефективними, але й не відставати в розвитку та вдосконаленні різноманітних пристроїв цього класу. Особливо важливим є той факт, що інструменти розробки схем FPGA повинні бути

добре інтегровані та з'єднані з усіма іншими інструментами проектування та дизайном друкованих плат.

Cyclone 10 LP FPGA пропонує розробникам цифрових всі переваги програмованої вентиляційної матриці з низьким рівнем потужності. На відмінну від інших серій Altera, сімейство Cyclone відноситься до бюджетних мікросхеми типу FPGA. Розрізняються п'ять поколінь, що маркуються грецькими цифрами (від I до V відповідно) [42].

Стенд Intel Cyclone 10 LP складається з багатьох компонентів, які в сукупності представляють систему, структурна схема якої приведена на рисунку 3.1

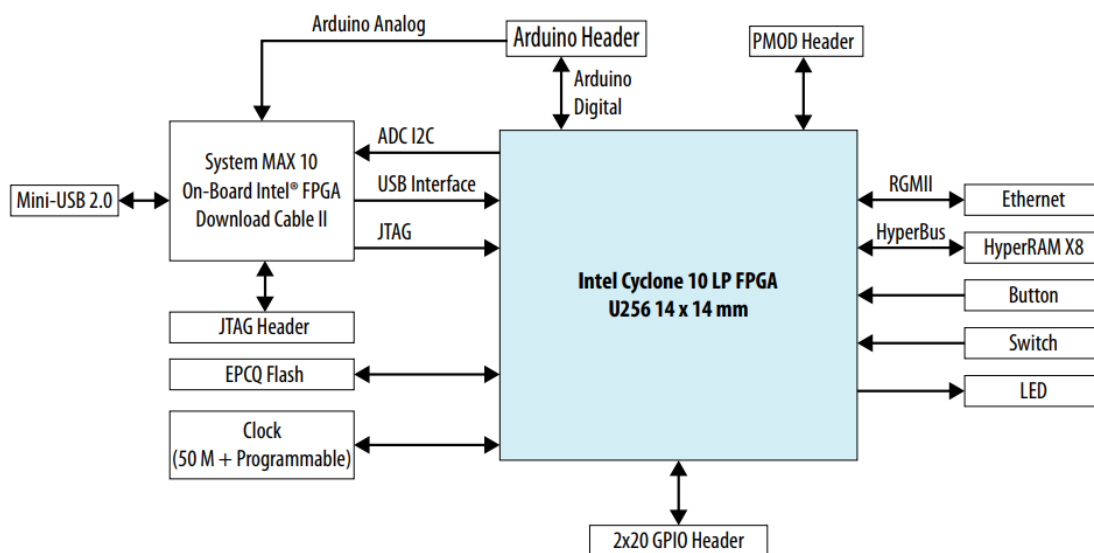


Рисунок 3.1 – Структурна схема стенду Intel Cyclone 10 LP

Оціночний комплект Intel Cyclone 10 LP FPGA включає пристрій Intel Cyclone 10 LP 10CL025YU256I7G FPGA-пристрій у 256-контактному корпусі FineLine BGA. ПЛІС Intel Cyclone 10 LP оптимізована для низької вартості та низького статичного енергоспоживання, що робить її ідеальним рішенням для багатосерійного виробництва [43]. В таблиці 3.1 представлені основні компоненти стенду.

Таблиця 3.1 – Компоненти експериментального стенду

Тип компонента	Опис компонента
Особливості пристрою	
FPGA	Intel Cyclone 10 LP FPGA 10CL025YU256I7G, 25k LEs, U256 package
FPGA	Intel MAX 10 10M08SAU169C8G for On-board Intel FPGA Download Cable II and System Management
Регулятор потужності	Enpirion EN5329QI - 2A PowerSoC Low Profile Synchronous Buck DC-DC Converter with Integrated Inductor
Регулятор потужності	Enpirion EN5339QI - 3A PowerSoC Low Profile Synchronous Buck DC-DC Converter with Integrated Inductor
Регулятор потужності	Enpirion EP5358HUI, 600 mA PowerSoC DC-DC step-down converters with integrated inductor
Gigabit Ethernet PHY	Intel XWAY PHY11G Single Port Gigabit Ethernet PHY (10/100/1000 Mbps) PEF7071
Елементи тактування	
Генератор 50 МГц	50 MHz crystal oscillator for general purpose logic of Intel Cyclone 10 LP FPGA and Intel MAX 10 FPGA devices
Програмований генератор тактових імпульсів	Three channel Programmable clock generator. Default frequencies are 125 MHz, 100 MHz and 50 MHz
Елементи пам'яті	
Пам'ять HyperRAM	128 Mb, x8 HyperRAM with 1.8V I/O
ЕPCQ Flash	64 Mb
Порти вводу/виводу	
Один роз'єм Diligent PMOD	12-pin interface with 8 I/O signal pins used to connect low frequency, low I/O peripheral modules

Продовження таблиці 3.1

Роз'єм типу R3 для Arduino UNO	Arduino UNO R3 type connectors with 3.3V digital I/O and six analog input channels
2x20 роз'ємів розширення GPIO	2x20 GPIO Expansion Header with 36 I/O
Один порт Gigabit Ethernet	RJ-45 connector provides a 10/100/1000 Ethernet connection via a Intel PEF7071 PHY and the FPGA-based Intel Triple Speed Ethernet MegaCore function in RGMII mode

Пристрої Intel Cyclone 10 LP FPGA [44] забезпечують високу щільність програмованих вентилів, вбудованих ресурсів та входів/виходів загального призначення. Ці ресурси задовольняють вимогам розширення портів введення-виведення та міжчипової взаємодії. Архітектура Intel Cyclone 10 LP FPGA підходить для інтелектуальних застосунків у багатьох сегментах ринку:

- промисловість та автомобілебудування;
- ширококомвні, провідні та бездротові мережі;
- обчислювальні системи та системи зберігання даних;
- державні, військові та аерокосмічні системи;
- медицина, побутова техніка та інтелектуальна енергетика.

Підсумовуючи можливості Cyclone 10 LP приводиться таблиця 3.2, яка містить більш розгорнуті деталі.

Таблиця 3.2 – Детальний опис експериментального стенду

Особливості	Опис
Технологія	<ul style="list-style-type: none"> • Недорога ПЛІС з низьким енергоспоживанням; • Варіанти напруги живлення ядра 1,0 В та 1,2 В; • Доступні в комерційному, промисловому та автомобільному температурних класах.

Продовження таблиці 3.2

Упакування	<ul style="list-style-type: none"> • Кілька типів корпусів: <ul style="list-style-type: none"> - FineLine BGA (FBGA); - Enhanced Thin Quad Flat Pack (EQFP); - Micro FineLine BGA (MBGA); • різні щільності розміщення пристроїв з можливістю міграції виводів; • Відповідність вимогам RoHS6.
Архітектура ядра	<ul style="list-style-type: none"> • Логічні елементи (ЛЕ) - чотиривходова таблиця перегляду (LUT) та регістр; • Рясна маршрутизація/металеві з'єднання між усіма ЛЕ.
Блоки внутрішньої пам'яті	<ul style="list-style-type: none"> • М9К-9-кілобіт (Кб) вбудованих блоків пам'яті SRAM з можливістю каскадування; • Можливість конфігурування ОЗП (однопортова, проста двопортова або справжня двопортова), буферів FIFO та ПЗУ.
Блоки вбудованого помножувача	<ul style="list-style-type: none"> • Один помножувач 18×18 або два помножувачі 9×9, з можливістю каскадування; • Повний набір ІС ЦГЗ для прискорення алгоритмів.
Тактові мережі	<ul style="list-style-type: none"> • Глобальний генератор, який керує всім пристроєм, живлячи всі квадранти пристрою;
Петлі із фазовою синхронізацією	<ul style="list-style-type: none"> • До чотирьох PLL загального призначення; • Забезпечує надійне управління синхронізацією та синтез.
Входи/виходи загального призначення (GPIO)	<ul style="list-style-type: none"> • Підтримка кількох стандартів введення/виводу; • Програмовані функції введення/виводу; • Справжні LVDS та емульовані LVDS передавачі та приймачі; • Кінцевий пристрій на кристалі (ОСТ).

Продовження таблиці 3.2

Пом'якшення SEU	Виявлення SEU під час конфігурування та експлуатації.
Конфігурування	<ul style="list-style-type: none"> Активний послідовний (AS), пасивний послідовний (PS), швидкий пасивний паралельний (FPP); Схема конфігурування JTAG

Програмовані логічні схеми використовуються сьогодні в багатьох областях, де потрібні висока обчислювальна потужність, можливість реконфігурації обладнання, високий ступінь інтеграції, обробка великої кількості сигнальних ліній. Найпоширеніший спосіб використовувати мову HDL. У цій галузі існує два суворі стандарти, що пропонують розробникам майже ідентичні можливості, а саме, дуже поширену мову VHDL і мову Verilog, яка особливо популярна на американському континенті. Розширення обох мов можна порівняти, і окремі середовища розробки також зазвичай підтримують обидві мови.

3.2 Опис досліджуваного пристрою

В якості елемента для досліджень в напрямку енергоорієнтованої контролепридатності FPGA компонентів був взятий матричний поділювач LPM_DIVIDE, що поставляється бібліотекою стандартних елементів FPGA. На рисунку 3.2 показані порти для IP-ядра LPM_DIVIDE.

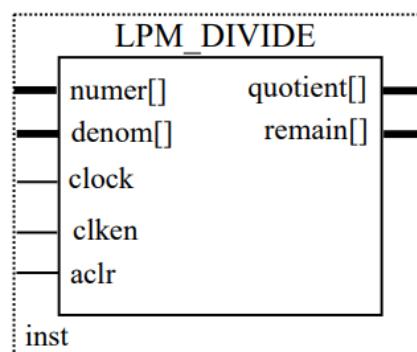


Рисунок 3.2 – Схематичне зображення матричного поділювача

IP-ядро Intel FPGA LPM_DIVIDE реалізує ділення вхідного значення чисельника на вхідне значення знаменника для отримання частки та залишку.

Реалізація LPM_DIVIDE пропонує такі можливості:

- генерує дільник, який поділяє вхідне значення чисельника на вхідне значення знаменника для отримання коефіцієнта та залишку.
- підтримує ширину даних 1-256 біт.
- підтримує знаковий і беззнаковий формат представлення даних як чисельника, так і знаменника.
- підтримує оптимізацію площі чи швидкості.
- передбачено можливість задання позитивного залишку на виході.
- підтримує конвеєризацію з затримкою виведення, що конфігурується.
- підтримує додаткові асинхронні порти очищення та включення тактової частоти.

У наступних таблицях наведено вхідні та вихідні порти для IP-ядра LPM_DIVIDE, за допомогою яких виконується включення матричного компонента до схеми.

Таблиця 3.3 – Вхідні порти матричного поділювача.

Назва порту	Обов'язковий	Опис
numer[]	Так	Введення даних чисельника. Розмір порту введення залежить від значення параметра LPM_WIDTHN.
denom[]	Так	Введення даних знаменника. Розмір порту введення залежить від значення параметра LPM_WIDTHD.
clock	Ні	Вхід тактового сигналу конвеєрного використання. Для значень LPM_PIPELINE, відмінних від 0 (за замовчуванням), тактовий порт має бути увімкнено.

Продовження таблиці 3.3

clken	Ні	Роздільна здатність тактового сигналу при конвеєрному використанні. Коли на порт clken подається високий сигнал, відбувається ділення. Коли сигнал низький, операція не відбувається.
aclr	Ні	Асинхронний порт очищення, який використовується в будь-який час для скидання конвеєра на всі '0' асинхронно з тактовим входом.

Таблиця 3.4 – Вихідні порти матричного поділювача.

Назва порту	Обов'язковий	Опис
quotient[]	Так	Виведення даних. Розмір вихідного порту залежить від значення LPM_WIDTHN значення параметра.
remain[]	Так	Виведення даних. Розмір вихідного порту залежить від значення LPM_WIDTHD значення параметра.

Матричний поділювач виконує операцію ділення за наступним законом, $\text{знаменник} * \text{коефіцієнт} + \text{залишок} = \text{число}$. Функція допускає всі комбінації знакових (з двома знаками) та беззнакових входів. Якщо кожен із входів є знаковим, то на виході повинно бути знакове число. В іншому випадку на виході буде беззнакове число. Реалізація також дозволяє задати залишок завжди позитивним (у разі $\text{remain} \geq 0$) в іншому випадку remain дорівнює нулю або тому ж знаку, що і чисельник (цей параметр ігнорується у разі суто беззнакового поділу. Існує також коефіцієнт швидкості, який може бути використаний для оптимізації співвідношення розрядності та швидкості.

В обраній для проведення досліджень FPGA Cyclone 10 LP 10CL025YU256I7G матричні поділювачі реалізовані апаратно у вигляді простіших логічних елементів ядра. Кожен такий блок (рисунок 3.3) складається з вхідних і вихідних регістрів. Також присутні вхідний інтерфейс, що дозволяє в якості

операндів використовувати значення з регістрів або безпосередньо зі входів блоку, і вихідний інтерфейс, що дозволяє зберігати результат ділення в регістрі з затримкою його видачі на один такт або відразу видавати на вихід блоку. Крім цього, кожен елемент має три логічні входи dataA, dataB та dataC, вхід тактових імпульсів clk та один вихід leout.

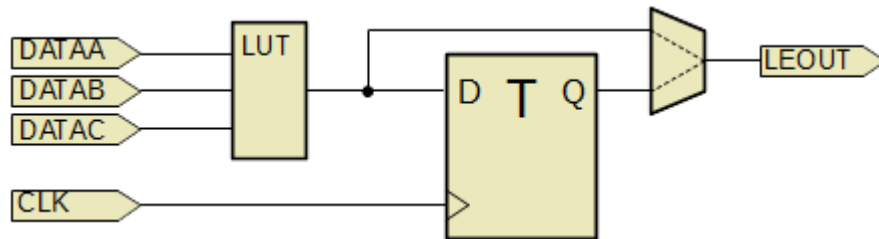


Рисунок 3.3 – Структурна схема логічного елемента ядра FPGA

Для застосування логічних елементів ядра при проектуванні апаратних моделей матричного арифметичного подільвача в САПР Quartus Prime використовується налаштовуваний модуль інтелектуальної власності (Intellectual Property Core – IP-Core) подільвача LPM_DIVIDE з бібліотеки параметризованих модулів (Library of Parameterized modules – LPM), яка є частиною самої САПР.

При додаванні IP-Core в проект за допомогою майстра налаштування встановлюються основні характеристики модуля. Крім цього, при імплементації LPM_DIVIDE у чіп FPGA, можна обрати, на яких структурних елементах він буде розміщений: чи на вбудованих блоках множення, чи на логічних елементах ядра.

3.3 Опис експериментальної схеми

Для виконання експерименту використовується спеціально підготовлена схема. Експериментальна схема містить набір основних компонентів, які в сукупності складають необхідний мінімум для проведення експерименту по фіксації показників струму споживання. На рисунку 3.4 приведена структурна експериментальна схема.

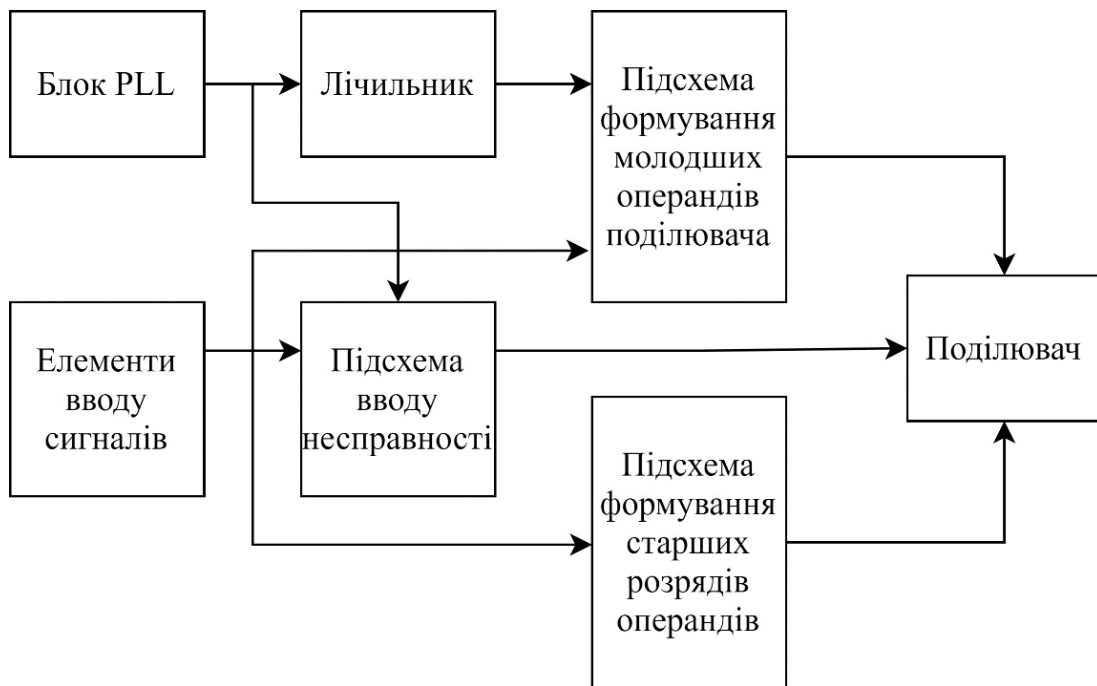


Рисунок 3.4 – Структура експериментальної схеми

До складу схеми входять: модуль PLL (Phase-Locked Loop) для формування сигналу синхронізації, підсхема генерації молодших розрядів операндів поділювача, яка побудований на базі лічильника, підсхема формування старших розрядів операндів, підсхема вводу несправності, та блок який досліджується – матричний поділювач LPM_DIVIDE.

Блок PLL призначений для формування основних сигналів синхронізації. На вході схеми повинен бути сигнал синхронізації з тактовою частотою 100 MHz. Цей сигнал формується програмованим генератором синхроімпульсів, що входить до складу експериментального стенда.

Модуль PLL підвищує частоту синхроімпульсів до 115 MHz. На виході модуля PLL формується три однакових сигнали синхронізації з частотою 115 MHz, які є основними сигналами синхронізації схеми. На рисунку 3.5 приведено зображення модуля PLL.

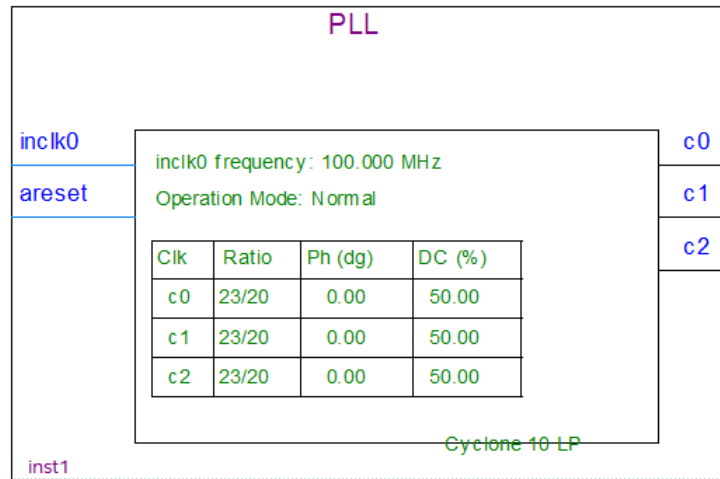


Рисунок 3.5 – Зображення модуля PLL

Підсхема формування молодших розрядів операндів побудований на основі схеми лічильника. Розрядність лічильника складає одинадцять біт. У найпростішому випадку кільцевий лічильник будують на регістрі зсуву. На рисунку 3.6 представлено зображення лічильника.

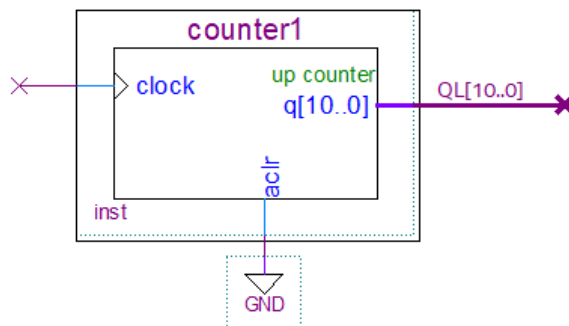


Рисунок 3.6 – Зображення кільцевого лічильника

Дані для операндів поділювача формуються в регістрі лічильника, що забезпечує рівномірне перемикання всіх розрядів операндів. Лічильник керується з використанням входу синхронізації.

Підсхема формування старших розрядів виконана на основі регістру зсуву розрядністю п'ятдесят шість біт. На вхід регістру завжди подається сигнал логічної одиниці. Також на вхід регістру підключено сигнал від кнопки, який скидає всі розряди регістру в одиницю. На рисунку 3.7 приведено зображення регістру зсуву.

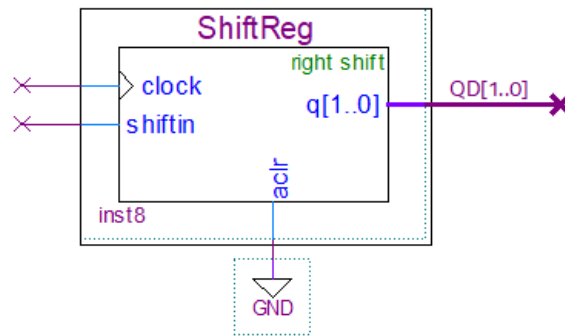


Рисунок 3.7 – Зображення регістру зсуву

Підсхема вводу несправності виконана таким чином, що вимикає проходження сигналів синхронізації по одному розряду обох операндів поділювача, тим самим імітуючи проявлення несправності. Для вимкнення активності молодших розрядів операндів в схемі задіяно чотири двовходових диз'юнктора та 6 керуючих сигналів, які подаються на схему за допомогою тумблерів та кнопок експериментального стенду. За допомогою цих сигналів задаються умови проведення експерименту.

Блок матричного поділювача забезпечує виконання операції ділення вхідного чисельника на вхідний знаменник. Матричний поділювач спроектований на основі стандартного IP Core LPM_DIVIDE, що поставляється в стандартній бібліотеці системи проектування Quartus. На рисунку 3.8 приведений матричний поділювач.

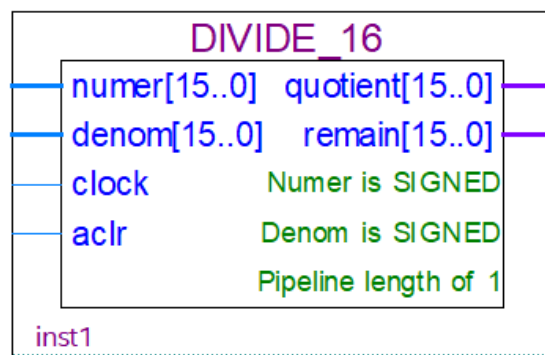


Рисунок 3.8 – Зображення матричного поділювача

Блок містить схему ділення та два вихідні регістри, в які поміщаються результат ділення та залишок ділення відповідно. Схема містить входи операндів, вхід асинхронного скиду та вхід синхронізації.

3.4 Методика проведення експериментальних досліджень

Суть експерименту полягає у тому що, за рахунок зміни енергетичних параметрів виявляти відмову сигналів синхронізації. Відключення ліній сигналів синхронізації призводить до зменшення струму споживання.

В рамках експерименту досліджувана схема може знаходитися в одному з трьох режимів. Перший режим – це режим нормального функціонування, при якому всі компоненти схеми знаходяться у справному стані та немає порушень в роботі загальних та інформаційних ліній. Другий режим – це режим функціонування схеми при нульовій активності інформаційних сигналів, в цьому режимі всі компоненти схеми знаходяться в справному стані, інформаційні лінії та лінії загальних сигналів також справні, однак сигнали на інформаційних лініях не змінюються. Третій режим – це режим функціонування схеми в умовах вимкнення ліній синхронізації блоків формування операндів.

Методика проведення експерименту включає етап підготовки стенду та етап проведення самого експерименту, під час якого виконується фіксація показів струму споживання у кожному з трьох режимів роботи схеми.

На етапі підготовки стенду виконується імплементація експериментальної схеми за допомогою САПР Intel Quartus Prime 20.1 та подальше завантаження конфігураційного файлу в FPGA. На етапі проведення експерименту за допомогою утиліти Power Monitor, яка поставляється в комплекті з експериментальним стендом, виконується фіксація та відображення основних енергетичних показів схеми, серед яких є такі як струм споживання, напруга та потужність споживання. Під час роботи пристрою, для кожного з режимів виконується замір струму споживання та фіксація отриманих даних у вигляді таблиць.

3.5 Проведення експериментального дослідження схеми з матричним поділювачем

Для дослідження спроможності моніторингу матричного поділювача були підготовлені експериментальні FPGA проекти, в яких містяться різні умови проведення експериментів, наприклад, в першому експерименті виконується відключення сигналу синхронізації одного розряду одного операнду поділювача, в наступному експерименті виконується відключення уже двох розрядів, по одному з кожного операнду, цей процес виконується поки не буде досягнуто бажаного результату.

Вихідними умовами для виконання першого експерименту є наступні: виконується відключення лише четвертого розряду діленого матричного поділювача, виконується керування молодшими розрядами операндів (0-ий, 1-ий, 2-ий, 3-ій), старші розряди встановлюються в стан логічної одиниці, та завжди знаходяться в константному стані, тобто на протязі всього експерименту вони не змінюються.

Таким чином експериментальна схема, яка задовольняю умовам самого експерименту показана на рисунку 3.9. На рисунку видно, що відключення четвертого розряду діленого виконується шляхом відключення синхронізації спеціального тригера, який відповідає за роботу тільки одного розряду. Також на рисунку показано керуючі елементи такі як, кнопки та тумблери, за допомогою яких виконується керування експериментального процесом. Кнопка PB3 та тумблери DIP0, DIP1, DIP2 керують формуванням молодших розрядів операндів, пропускаючи сигнали, які формує одинадцятирозрядний лічильник, який служить для формування молодших розрядів операндів, а також для ділення частоти синхронізації, що надходить з блоку PLL. Кнопка PB0 керує відключенням сигналу синхронізації тригера, цим самим вводить несправність в роботу схеми. Кнопки PB1 та PB2 керують формуванням старших розрядів операндів.

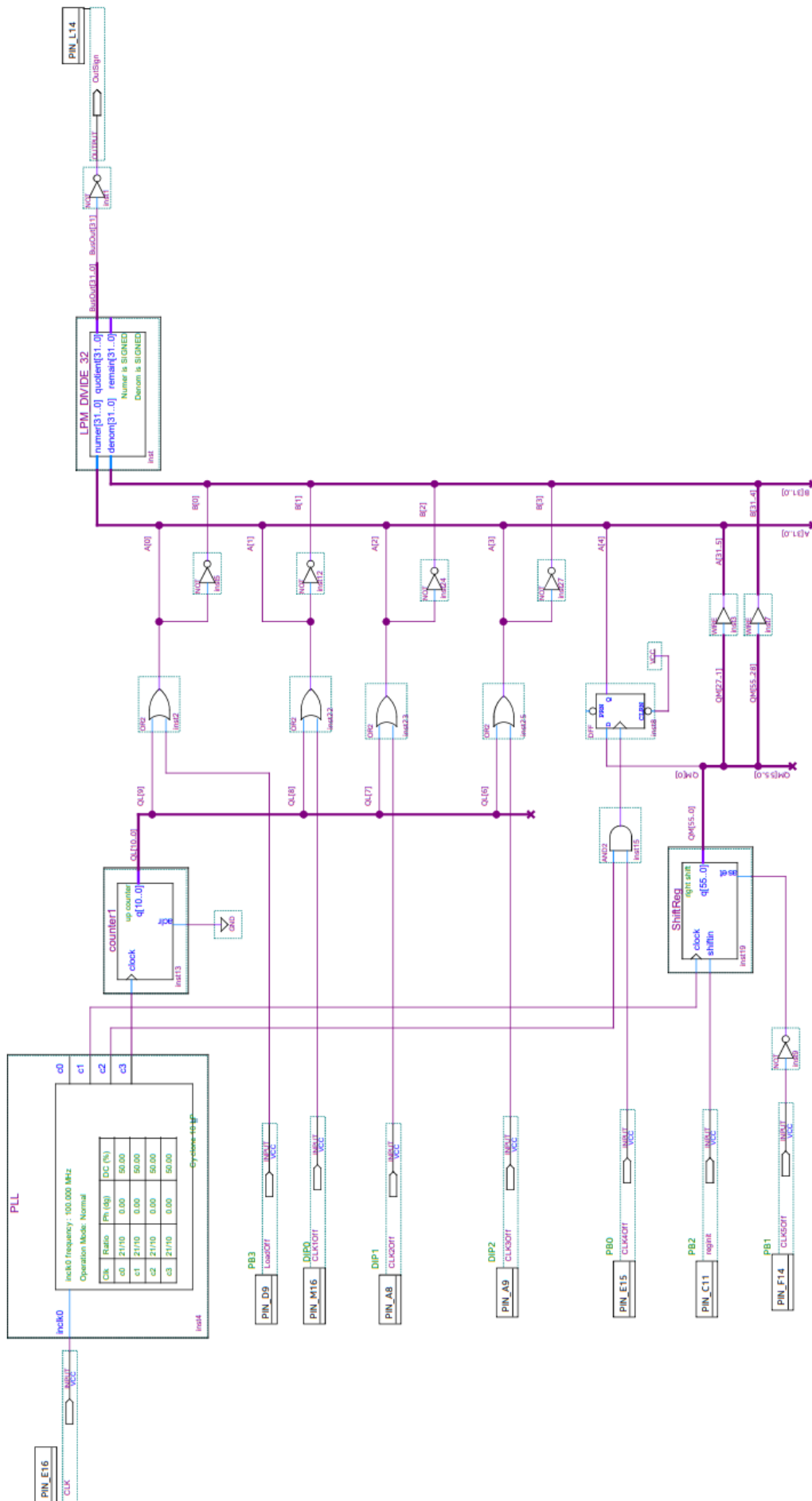


Рисунок 3.9 – Схема першого експерименту

В результаті проведення експерименту була отримана діаграма струму споживання (рисунок 3.10), на якій зображено покази струму для кожного режиму роботи схеми.

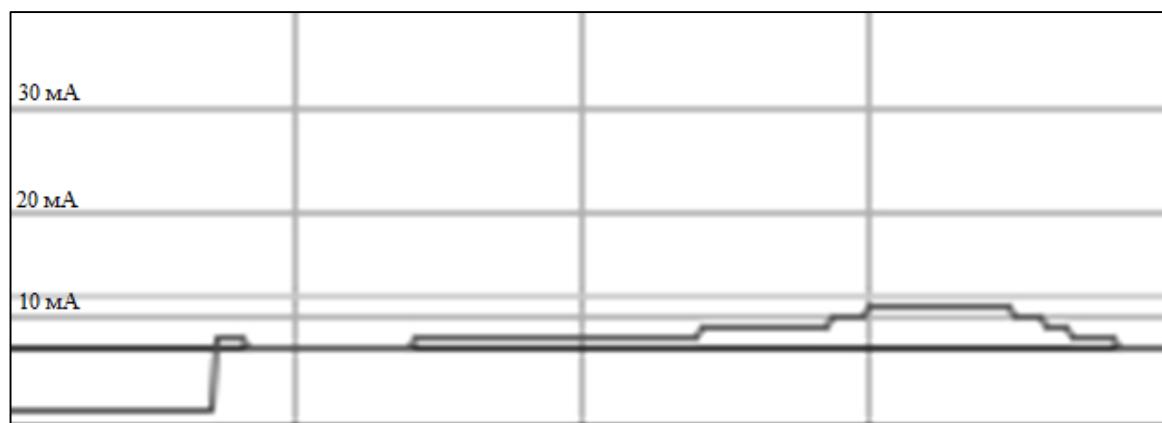


Рисунок 3.10 – Діаграма струму споживання

На діаграмі добре видно режим нульової активності, струм споживання приблизно складає 8 мА, за режимом нульової активності слідує послідовність робочих нормальних режимів, в першому робочому режимі перемикається нульовий розряд, в другому перемикаються розряди з 0-го по 1-ий, потім перемикаються розряди з 0-го по 2-ий, в кінці перемикаються розряди з 0-го по 3-ій. Після виконання експерименту були отримані чисельні дані, які представлені в таблиці 3.5.

Таблиця 3.5 – Результати першого експерименту

Активність розрядів операндів	Нульова активність		Тільки 0-ий розряд		З 0-го по 1-ий розряди		З 0-го по 2-ий розряди		З 0-го по 3-ій розряди	
	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Схема справна	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Струм споживання, мА	7,67	7,67	8,48	8,48	8,88	8,88	9,69	9,69	10,90	10,9
	8,07	8,07	8,88	8,88	9,28	9,28	10,09	10,09	11,30	11,3

Аналізуючи таблицю, видно що, зі збільшенням кількості розрядів, які залучені до переключень збільшується струм споживання. Однак, також видно, що при ввімкненні несправності в схемі, це не проявляється в показах струму споживання. Це свідчить про те що, відключення лише одного розряду не здатне впливати на струм споживання.

Виходячи з попередніх результатів експерименту, зрозуміло що, спочатку необхідно досягти чіткої зміни показів струму споживання, при введенні несправності в схему. Для цього збільшується кількість розрядів що відключаються, та знову фіксуються покази струму. Та для поліпшення виявлення несправності, в наступному експерименті із набору молодших розрядів керування буде виконуватись лише нульовим розрядом, решта розрядів (1-ий, 2-ий, 3-ій) підключенні до константи одиниці, таким чином, ці три розряди не будуть перемикатись, та не будуть можливості впливати на результуючі покази струму споживання.

Збільшення кількості розрядів, синхронізація яких відключається, виконано шляхом введення в схему двохрозрядного, в даному випадку, регістра зсуву замість одного тригера, таким чином, відключаючи сигнал синхронізації одного елемента схеми, можна досягти відключення сигналу синхронізації декількох розрядів операндів. Таке рішення дозволяє досягти більш суттєвих змін в показах струму споживання. Схема приведена на рисунку 3.11.

На схемі видно, що кнопка PB3 керує формуванням нульового розряду операндів подільвача. Тумблери DIP0, DIP1, DIP2 за відсутністю необхідності були видалені із схеми. Кнопка PB0 керує відключенням сигналу синхронізації регістру зсуву. Кнопки PB1 та PB2 керують формуванням старших розрядів подільвача.

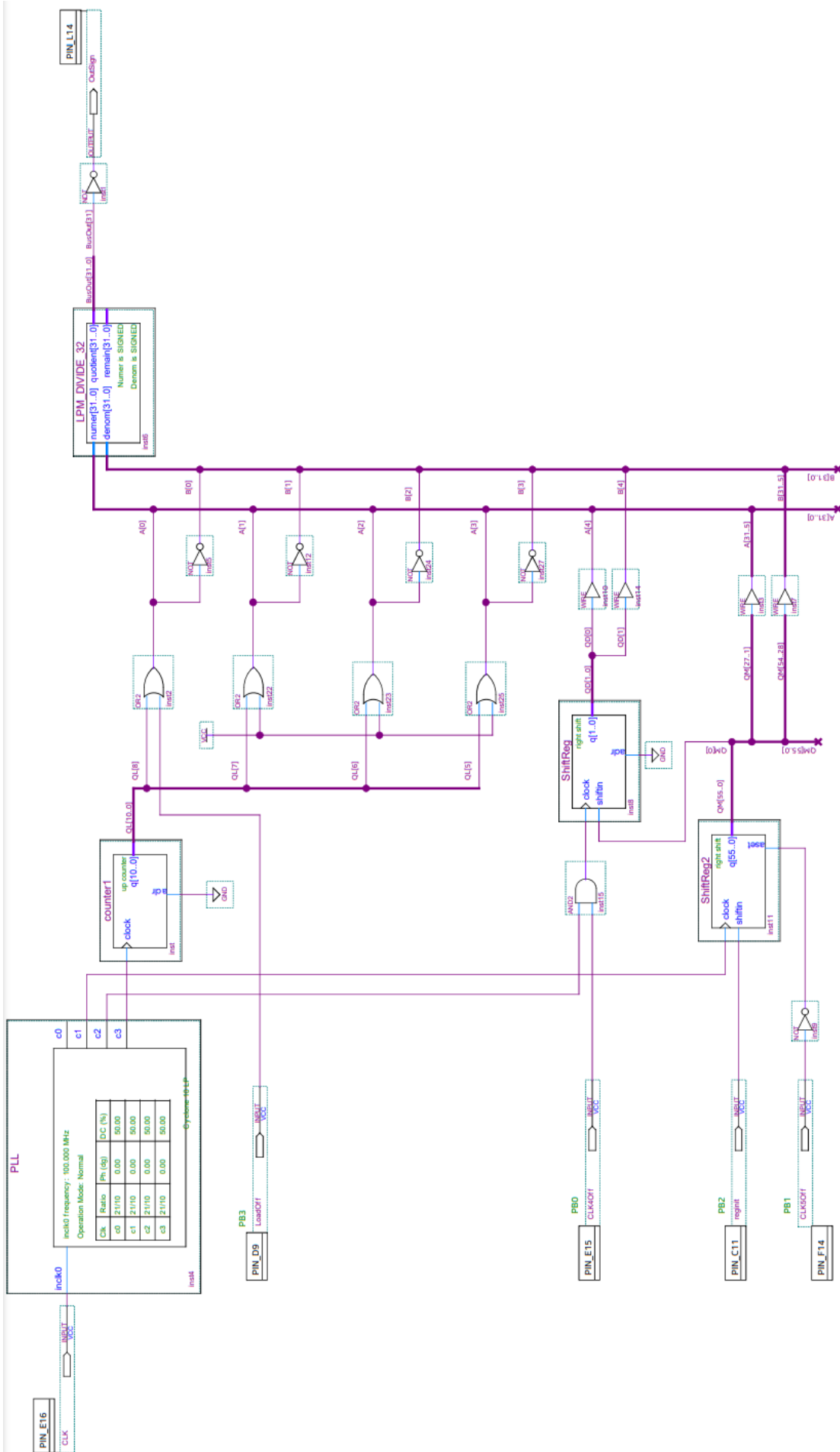


Рисунок 3.11 – Схема другого эксперимента

В результаті проведення експерименту була отримана діаграма струму споживання (рисунок 3.12).

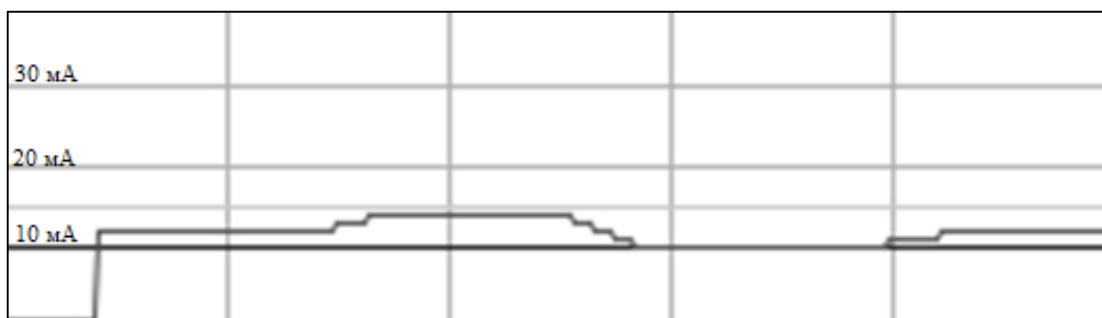


Рисунок 3.12 – Діаграма струму споживання

На діаграмі чітко видно три послідовні режими, спочатку це режим нульової активності, потім режим нормальної роботи схеми, та несправний режим. Під час режиму нульової активності, приблизно 12,5 мА, всі розряди операндів знаходяться в статичному стані, тобто не перемикаються. Під час нормального режиму роботи, приблизно 14,13 мА, всі розряди операндів крім нульового знаходяться в статичному режимі. Під час несправного режиму, струм споживання приблизно складає 10,90 мА, що помітно нижче рівня нульової активності, в результаті фіксується несправність.

Таким чином, в після виконання експерименту отримані дані заносяться до таблиці 3.6, яка містить більш детальні покази струму споживання в кожному з режимів роботи експериментальної схеми.

Таблиця 3.6 – Результати другого експерименту

Активність розрядів операндів	0-ий розряд не перемикається		0-ий розряд перемикається	
	Так	Ні	Так	Ні
Схема справна	12,11	8,88	13,72	10,90
Струм споживання, мА	12,92	9,69	14,53	11,30

В таблиці можна побачити покази по струму споживання. Для режиму нульової активності при умові, що всі розряди не перемикаються та схема справна покази струму коливаються в діапазоні від 12,11 мА до 12,92 мА. Покази нормального робочого режиму досягаються при умові, якщо хоча б один розряд операндів перемикається, та схема справна, діапазон зміни показів струму знаходиться в межах 13,72 мА та 14,53 мА. Покази несправного режиму досягаються при умові, якщо хоча б один розряд операндів перемикається, та в схемі присутня несправність, діапазон зміни показів струму споживання знаходиться в межах 10,90 мА та 11,30, що суттєво нижче за покази струму в нульовому режимі. Таким чином, якщо покази струму в робочому режимі падають нижче рівня нульової активності, то фіксується несправність схеми.

В ході експерименту несправність була зафіксована, однак, в справжніх критичних системах, під час нормального робочого режиму перемикається не один розряд, а декілька. Таким чином, необхідно досягти виявлення несправності, при умові що перемикаються декілька молодших розрядів операндів. Для цього в схему вводяться елементи керування DIP0, DIP1 та DIP2, які контролюють формування молодших розрядів операндів. РВ3 контролює формування нульового розряду операндів. Як і в попередньому експерименті несправність вводиться шляхом відключення двох розрядів синхронізації, по одному з кожного операнду подільовача. Керування вводом несправності виконується по натисканню на кнопку РВ0. Кнопки РВ1 та РВ2 керують формуванням старших розрядів операндів подільовача. В схемі присутній одинадцятирозрядний лічильник, який формує молодші розряди операндів подільовача, а також виконує ділення вхідної частоти. Виконана експериментальна схема, що задовольняє сформованим вимогам представлена на рисунку 3.13.

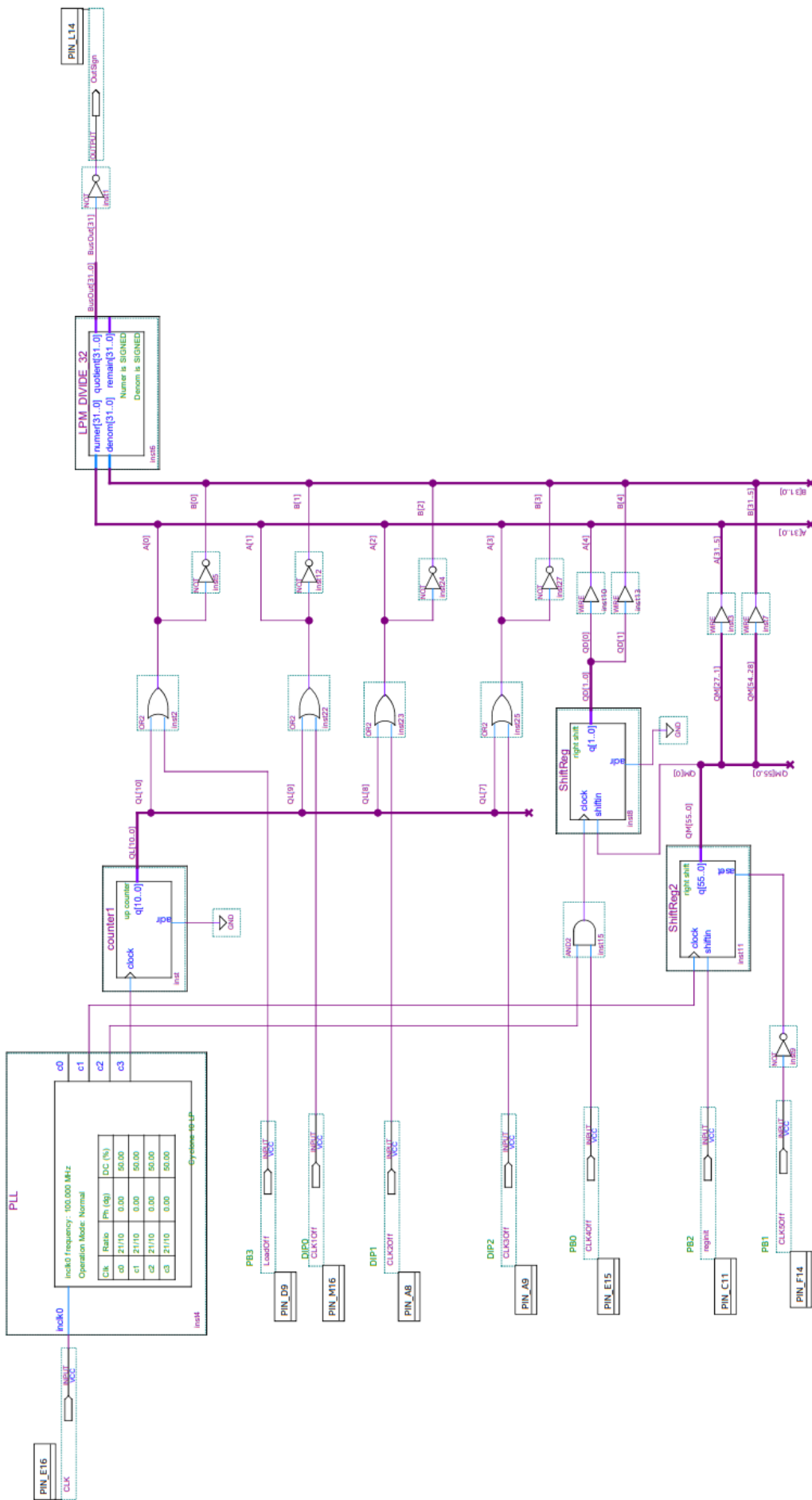


Рисунок 3.13 – Схема третьего эксперимента

Після проведення експерименту була зафіксована діаграма струму споживання (рисунок 3.14), яка показує значення струму в кожному режимі.

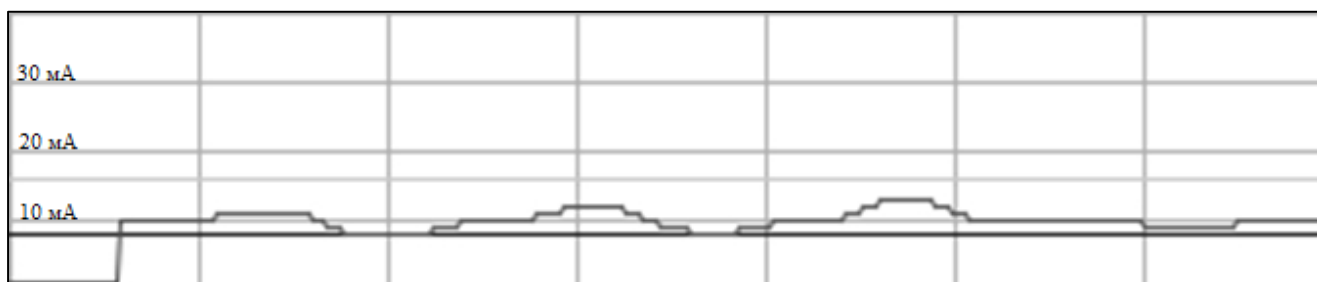


Рисунок 3.14 – Діаграма струму споживання

На діаграмі гарно видно, що спочатку схема перебуває в режимі нульової активності, струм складає приблизно 10 мА. Потім схема переходить в стан робочого режиму при умові, що перемикаються лише розряди з 0-го по 1-ий, відразу ж за цим станом слідує стан несправності, на діаграмі видно, що струм несправності нижче за струм нульової активності. Наступним кроком схема переходить в стан робочого режиму при умові, що перемикаються лише розряди з 0-го по 2-ий. Далі схема переходить в стан робочого режиму, але при умові, що перемикаються розряди з 0-го по 3-ій, тобто, коли всі молодші розряди активні, слідом за робочим станом схема переходить в несправний режим. В результаті проведення експерименту дані по струму споживання занесені до таблиці 3.7.

Таблиця 3.7 – Результати третього експерименту

Активність розрядів операндів	Нульова активність		Тільки 0-ий розряд		З 0-го по 1-ий розряди		З 0-го по 2-ий розряди		З 0-го по 3-ій розряди	
	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Струм споживання, мА	10,49	7,27	10,90	7,67	11,71	8,48	12,51	9,28	13,32	10,09
	10,90	7,67	11,30	8,07	12,11	8,88	12,92	9,69	13,72	10,49

Аналізуючи таблицю, видно що, зі збільшенням кількості розрядів, які залучені до переключень відповідно поступово збільшується струм споживання. Для режиму нульової активності при умові, що всі розряди не перемикаються та схема справна покази струму коливаються в діапазоні від 10,49 мА до 10,90 мА. Покази струму нормального робочого режиму містять дані, при умові коли активний лише 0-ий розряд, коли активні розряди з 0-го по 1-ий, коли активні розряди з 0-го по 2-ий, та коли активні розряди з 0-го по 3-ій, та при умові що схема справна, діапазон зміни показів струму в рамках нормального режиму знаходиться в межах 10,90 мА (коли активний лише 0-ий розряд) та 13,72 мА (коли активні розряди з 0-го по 3-ій). Покази несправного режиму досягаються при умові, якщо схема знаходиться стані нормального режиму, та в схемі присутня несправність, це призводить до зниження струму споживання нижче рівня нульової активності, що є достатньою умовою для фіксації несправності. Таким чином, якщо покази струму в робочому режимі падають нижче рівня нульової активності, то реєструється несправність схеми.

Таким чином, в результаті експериментів було визначено, що при відключенні двох сигналів синхронізації запропонований підхід до моніторингу схем за струмом споживання виявляє несправність.

3.6 Висновки

Дослідження спроможності моніторингу матричного подільовача за струмом споживання показало, що при відключенні сигналу синхронізації хоча б для двох розрядів операндів, при умові, що використовується 32-ох бітний матричний подільовач, в схемі успішно виявляється несправність синхронізації, яка в системі критичного застосування з високою долею імовірності може бути не виявлена логічною контролепридатністю.

Дослідження моніторингу сигналів синхронізації за струмом споживання показало високий рівень виявлення несправностей, так при розрядності подільовача 32 біт сумарна кількість його інформаційних входів складає 64 біт, була виявлена

несправність при відключенні лише двох сигналів синхронізації, тобто при відключенні лише 3,13% від загальної кількості інформаційних сигналів.

В ході першого експерименту було визначено, що відключення лише одного контакту синхронізації не дозволяє зареєструвати несправність, так як покази струму споживання при відсутності несправності не відрізнялися від тих, в яких була присутня несправність.

В ході другого експерименту було визначено, що мінімальна кількість сигналів синхронізації, які необхідно відключити для успішного виявлення несправності складає 2, при умові, що в схемі використовується 32-ох розрядний матричний поділювач.

В ході третього експерименту було імітовано справжню систему критичного застосування, тобто систему, в якій іноді перемикаються лише молодші розряди операндів, а старші розряди знаходяться майже в константному режимі. Та в черговий раз було підтверджено, що мінімальна кількість сигналів синхронізації, які необхідно відключити для успішного виявлення несправності складає 2, при умові, що в схемі використовується 32-ох розрядний матричний поділювач.

Таким чином, було експериментально підтверджено спроможність моніторингу матричного поділювача за струмом споживання.

У зв'язку з цим виникають передумови до подальших досліджень з метою розвитку описаного у цій роботі підходу до моніторингу матричного поділювача до повноцінних методів моніторингу матричних структур за струмом споживання, таких як матричні помножувачі, паралельні суматори та зсувачі, які дуже широко розповсюджені в складі цифрових компонентів систем критичного застосування.

Також слід зазначити важливість подальшого розвитку та використання нових форм контролепридатності схем для підвищення функціональної безпеки систем критичного застосування.

ВИСНОВКИ

Системи критичного застосування займають важливе місце в розвитку людства. Такі системи потребують високонадійні комп'ютерні системи для керування технологічним процесом. Однак такі системи на відмінну від звичайних комп'ютерних систем мають два режими роботи, нормальний режим та аварійний. В рамках нормального режиму всі компоненти системи працюють в штатному режимі. Весь або майже весь експлуатаційний період таких систем проходить в нормальному режимі. А у випадках виникнення аварійних ситуацій система забезпечена аварійним режимом, який створений для проходження безпечного сценарію аварії. Тому системи критичного застосування потребують особливих підходів до розробки систем забезпечення функціональної безпеки.

Технологія FPGA одна з небагатьох, яка може задовільнити усі вимоги по розробці комп'ютерних систем критичного застосування, на всіх етапах проектування систем. Технологія пропонує широкий асортимент різноманітних інструментів для проектування критичних застосунків.

Контролепридатність цифрових компонентів систем критичного застосування є необхідною складовою у забезпеченні функціональної безпеки і системи, і об'єкта управління.

Розвиток моделей контролепридатності в її логічній формі від тестопридатності до структурно-функціональної та дворежимної призвів до порозуміння проблеми прихованих несправностей і визначення шляхів її вирішення, покращуючи ефективність робочого діагностування цифрових схем.

Разом з тим, логічна форма контролепридатності обмежена у виявленні несправностей загальних сигналів, що можуть блокувати роботу засобів робочого діагностування у стані індикації правильного функціонування. Це потребує розвитку контролепридатності схем в інших формах, включаючи енергетичну складову.

В магістерській кваліфікаційній роботі вирішена актуальна науково-технічна задача сутність якої полягає в дослідженні спроможності моніторингу матричного

подільовача, також розглянута енергоорієнтована контролепридатність FPGA компонентів систем критичного застосування та способу їх моніторингу за струмом споживання для виявлення прихованих несправностей в ланцюгах загальних сигналів.

Досліджено вплив несправностей у ланцюгах загальних сигналів на енергоспоживання FPGA проектів. Проаналізовано можливості оцінювання та виявлення цього впливу для компонентів систем критичного застосування при вирішенні проблеми прихованих несправностей. Досліджено енергоорієнтовану контролепридатність схем, що визначають можливості виявлення несправностей у ланцюгах загальних сигналів за показниками енергоспоживання FPGA проектів. В якості енергетичного показника виступає струм споживання в схемах FPGA компонентів систем критичного застосування.

В рамках енергоорієнтованої контролепридатності досліджено підхід до моніторингу загальних сигналів, порушення яких знижує енергетичні показники FPGA проектів. Використання цього підходу підвищує ймовірність виявлення прихованих несправностей в ланцюгах загальних сигналів за суттєвим зниженням струму споживання в FPGA компонентах критичного застосування.

Експерименти з оцінки спроможності моніторингу схеми матричного подільовача за струмом споживання здійснено на стенді Evaluation Kit з використанням системи автоматизованого проектування Quartus Prime 20.1 Lite Edition (Intel FPGA) та інтелектуального модуля LPM_DIVIDE для різних рівнів активності вхідних сигналів схеми і показали придатність схеми матричного подільовача до контролю.

Подальші дослідження доцільно спрямувати на розвиток нових форм контролепридатності схем та розробку відповідних методів для підвищення функціональної безпеки систем критичного застосування

ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Checkability of safety-critical I&Cc system components in normal and emergency modes [Text] / A.Drozd, V. Kharchenko, S. Antoshchuk, M. Drozd // Journal of Information, Control and Management Sys-tems. – 2011. – Vol. 1, No.1. –P. 87 – 94.

2. Drozd O. A method of the hidden faults elimination in FPGA projects for the critical applications / O. Drozd, M. Kuznietsov, O. Martynyuk, M. Drozd // Proceedings of 2018 IEEE 9th International Conference on Dependable Systems, Services and Technologies (DESSERT'2018). – Kyiv, Ukraine, May 24-27. – P. 231 – 234, 2018.

3. Bennets, R.Dzh. Proektirovanie testoprigodnykh logicheskikh skhem [Design of testable logic circuits] / R.Dzh. Bennets. — Moscow, 1995. — 180 pp.

4. Kharchenko, V. Multy-version Systems: Mod-els, Reliability, Design Technologies [Text] / V.Kharchenko // 10th European Conference on Safety and Reliability. – Munich, Germany. –1999. –Vol. 1. –P. 73 – 77.

5. Дрозд М.О. Моделі контролепридатності цифрових компонентів в системах критичного застосування / М.О. Дрозд, О.В. Дрозд, І.М. Ніколенко // Холодильна техніка і технологія. – 2014. – № 2. – С. 77 – 79.

6. IEC 61508-7:2010 Functional safety of electrical/electronic/programmable electronic safety-related systems - Part 7: Overview of techniques and measures (Функциональная безопасность систем электрических, электронных, программируемых электронных, связанных с безопасностью. Часть 7. Методы и средства).

7. Хаханов, В. И. Применение IEEE стандартов для тестирования программно-технических комплексов / В. И. Хаханов, В. В. Елисеев // Радиоэлектронные и компьютерные системы. – 2006. – № 6(18). – С. 163 – 171.

8. Дрозд, М. О. Проблема контролепригодности цифровых компонентов систем критического применения / М. О. Дрозд, С. Г. Новожилов, С. Г. Антошук // Праці другої міжнарод. наукової конф. “Сучасні інформ. технології”. – Одеса, 2012. – 101 с.

9. Согомоян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М, Радио и связь, 1989 г., 208 стр.
10. Сапожников В.В. Самопроверяемые дискретные устройства. СПб., Энергоатомиздат, 1992 г., 224 стр.
11. Щербаков Н. С. Достоверность работы цифровых устройств. – М.: Машиностроение, 1989. – 224 с.
12. Горяшко, А. П. Синтез диагностируемых схем вычислительных устройств / А. П. Горяшко. – М.: Наука, 1987. – 288 с.
13. Согомоян Е.С. Самопроверяемые устройства и отказоустойчивые системы / Е.С. Согомоян, Е.В. Слабаков. – М.: Радио и связь, 1989.-208 с.
14. Попов А.Ю. Проектирование цифровых устройств с использованием ПЛИС: Учебное пособие. / А.Ю. Попов. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2009. – 80 с.
15. Сулима, Ю. Ю. Контролепригодность цифровых компонентов систем критического применения / Ю. Ю. Сулима, А. В. Дрозд // Тр. Одес. политехн. унта. – Одесса, 2012. – Вып. 2 (30). – С. 122 – 125.
16. Дрозд, А. В. Нетрадиционный взгляд на рабочее диагностирование вычислительных устройств / А. В. Дрозд // Автоматизированные системы управления и приборы автоматики. – 2009. – Вып. 147. – С. 15 – 24.
17. Ларченко Б.Д. Декомпозиція математичної моделі біт-потокowego обчислювача ірраціональних функцій / Б.Д. Ларченко // Радіоелектроніка та інформатика. №4. – 2019. – С 34-39.
18. Демидович Б. П. Основы вычислительной математики / Демидович Б. П., Марон И. А. – М.: Физматгиз. – 1966. – 664 с.
19. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. 2-е изд., перераб. и доп. СПб.: БХВ-Петербург, 2004. 800 с.
20. Каляев З.В., Раскладкин М.К. Программно-аппаратный комплекс контроля критических параметров реконфигурируемых систем // Известия Южного федерального университета. – 2010. - с. 227-233.

21. Попов А.Ю. Проектирование цифровых устройств с использованием ПЛИС: Учебное пособие. / А.Ю. Попов. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2009. – 80 с.
22. S. M. Qasim, S. A. Abbasi, and B. Almashary, “ A review of FPGA based design methodology and optimization techniques for efficient hardware realization of computation intensive algorithms,” in Proc. of IEEE Intl. Conf. on Multimedia, Signal Processing and Communication Technologies, Mar. 2009, pp. 313–316.
23. P. Vamsi Priya, Anita Angeline, “Design of Variable Width Barrel Shifter for RISC Processor,” International Journal of Research in Electronics & Communication Technology, vol. 1, issue 2, 2013, pp. 7-11.
24. Дрозд О. В. Спеціалізовані архітектури ЕОМ. Навч. посібн. для студ. спеціальності 7.091501 – «Комп’ютерні та інтелектуальні системи та мережі» / О. В. Дрозд, М. В. Лобачев, Ю. В. Дрозд. / Одеськ. нац. політехніч. ун.-т. – Одеса: Наука і техніка, 2004. – 120 с.
25. ДСТУ ІЕС 60880: 2007 (ІЕС 60880:2006, ІДТ). Атомні електростанції інформаційні та керуючі системи, важливі для безпеки. Програмні аспекти комп’ютерних систем, виконуючих функції категорії А.
26. Дрозд М.О. Моделі контролепридатності цифрових компонентів в системах критичного застосування / М.О. Дрозд, О.В. Дрозд, І.М. Ніколенко // Холодильна техніка і технологія. – 2014. – № 2. – С. 77 – 79.
27. Сулима, Ю. Ю. Контролепригодность цифровых компонентов систем критического применения / Ю. Ю. Сулима, А. В. Дрозд // Тр. Одес. политехн. ун-та. – Одесса, 2012. – Вып. 2 (30). – С. 122 – 125.
28. Nicolaidis, M., Zorian, Y., Pradhan, D (eds): On-Line Testing for VLSI. In: Journal of Electronic Testing: Theory and Application, vol. 12, no. 1/2, pp. 7– 159 (1998).
29. Intel Quartus Prime Standard Edition User Guide. Available online: https://www.intel.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug-qps-getting-started.pdf (accessed on 31 August 2020).
30. Wenguang Song, Oleksandr Drozd, Anatoliy Sachenko, Viktor Antoniuk, Volodymyr Kochan, Myroslav Drozd “Power-Oriented Monitoring of Clock Signals in

FPGA Projects for Critical Application, Sensors-2021”. С. 6-9 [Електронний ресурс]. – 2021. – Режим доступу до ресурсу: <https://www.mdpi.com/1424-8220/21/3/792>

31. Intel Cyclone 10 LP FPGA Evaluation Kit User Guide [Електронний ресурс]. – 2010. – Режим доступу до ресурсу: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/max-10/m10_overview.pdf?wapkw=intel%20max%2010%20fpga%20device%20overview

32. R. S. Hoover, “Design tutorial and comparative analysis of printed circuit board production softwares for microcontroller & FPGA-based systems,” Fall, 2009.

33. K. Berestizhevskiy, R. Levy “Artificial Neural Network Implementation on FPGA – a Modular Approach” SlideShare, 2016, - p. 2-3.

34. S. Tapp, “Configuration Quick Start Guidelines,” XAPP501 (v1.5), Xilinx, October 2007.

35. Сергиенко А.М. «VHDL для проектирования вычислительных устройств.» 2003г. – С. 7-8.

36. Drozd A., Drozd J., Antoshchuk S. et al. Green experiments with FPGA // In book: Green IT Engineering: Components, Networks and Systems Implementation. Vol. 105.

37. Бибило П.Н. Основы языка VHDL. / П.Н. Бибило – М.: СОЛОНПресс, 2010. – 201с.

38. Дрозд А.В., Зацелкин К.В., Наумов А.Д., Кострубенко А.И. Контролепригодность FPGA компонентов компьютерных систем критического применения. Тези VIII Міжнародної науково-технічної конференції “Інформатика, управління та штучний інтелект, ІУШІ-2021”. Харків, 2021. С. 39–40.

39. Mohamad Najem, Pascal Benoit, Florent Bruguier, Gilles Sassatelli, Lionel Torres Method for Dynamic Power Monitoring on FPGAs // Conference Digest of 24th International Conference on Field Programmable Logic and Applications – 2014. – Munich, Germany, September 1-5.

40. Наумов О., Кострубенко А., Дрозд О., Зацелкин К.В. Тези доповідей VI Всеукраїнської науково-практичної конференції “Перспективні напрямки сучасної

60 електроніки, інформаційних і комп'ютерних систем, MEICS-2021". Дніпро, 24-26 листопада, 2021. С. 55-56

41. Wenguang Song, Oleksandr Drozd, Anatoliy Sachenko, Viktor Antoniuk, Volodymyr Kochan, Myroslav Drozd "Power-Oriented Monitoring of Clock Signals in FPGA Projects for Critical Application, Sensors-2021". С. 9-15 [Електронний ресурс]. – 2021. – Режим доступу до ресурсу: <https://www.mdpi.com/1424-8220/21/3/792>

42. Intel Quartus Prime Standard Edition User Guide: Power Analysis and Optimization [Електронний ресурс]. – 2018. – Режим доступу до ресурсу: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/ug/ugqpspower.pdf>

43. Max 10 FPGA Device Architecture [Електронний ресурс]. – 2017. – Режим доступу до ресурсу: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/max10/m10_architecture.pdf.

44. Intel Cyclone 10 LP FPGA Evaluation Kit User Guide [Електронний ресурс]. – 2010. – Режим доступу до ресурсу: https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/max10/m10_overview.pdf?wapkw=intel%20max%2010%20fpga%20device%20overview

Національний університет «Одеська політехніка»
Кафедра комп'ютерних інтелектуальних систем та мереж

МАГІСТЕРСЬКА ДИПЛОМА РОБОТА

**ДОСЛІДЖЕННЯ СПРОМОЖНОСТІ МОНІТОРИНГУ
МАТРИЧНОГО ПОДІЛЮВАЧА ЗА ТОКОМ СПОЖИВАННЯ**

Виконав студент гр. АМ-161 Кострубенко А.І.
Керівник: професор Дрозд О.В.

Одеса – 2021

Мета роботи: дослідити спроможність моніторингу матричного поділювача

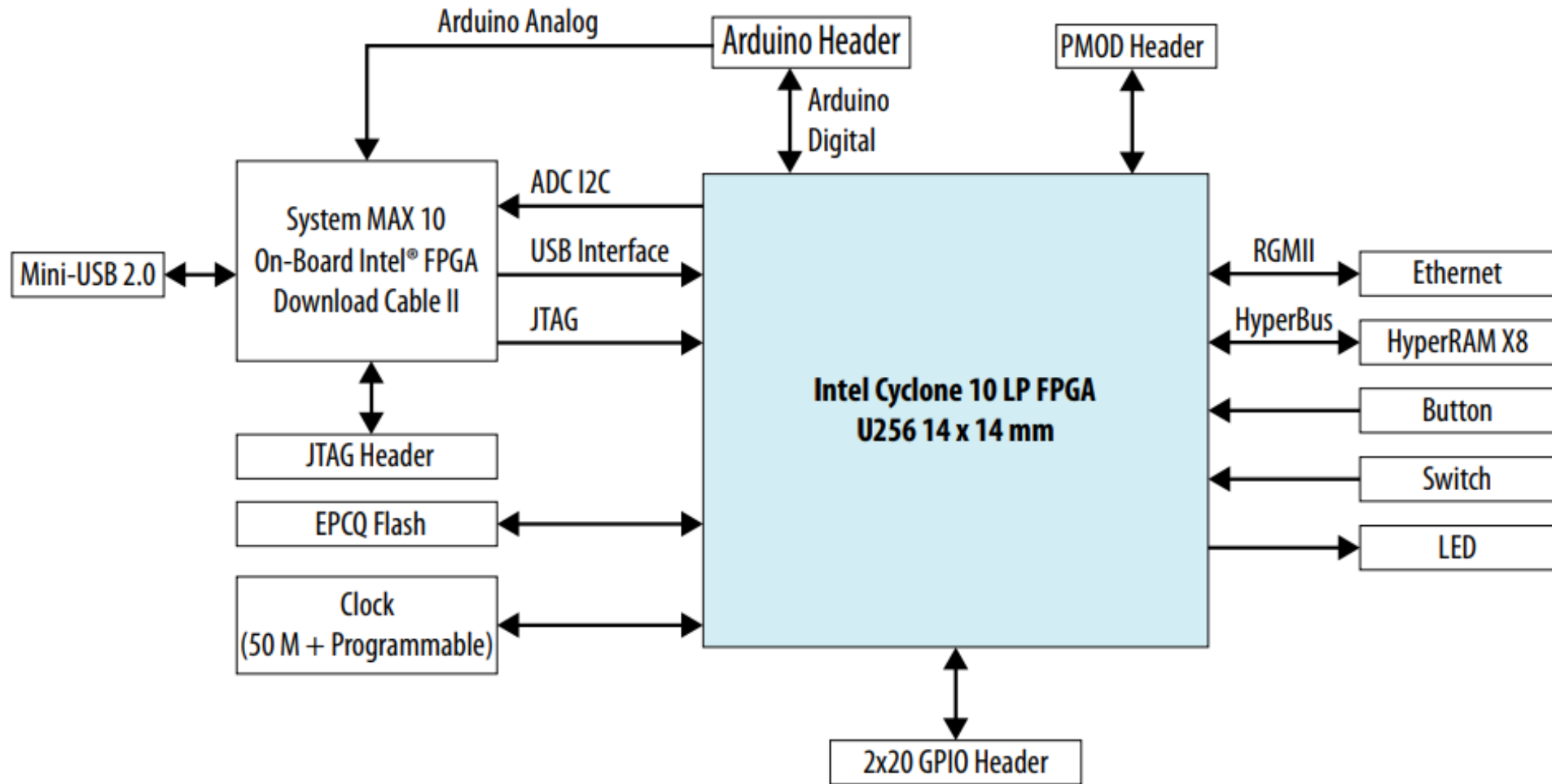
Об'єкт дослідження: матричний поділювач

Предмет дослідження: можливість моніторингу матричного поділювача за струмом споживання.

Вирішені задачі:

- Досліджено вплив несправностей у ланцюгах загальних сигналів на енергоспоживання FPGA проектів, що містять матричний поділювач, та можливості оцінювання цього впливу.
- Досліджено метод моніторингу матричного поділювача за струмом споживання.
- Проведено експеримент, результати якого підтверджують можливість моніторингу матричного поділювача за струмом споживання.

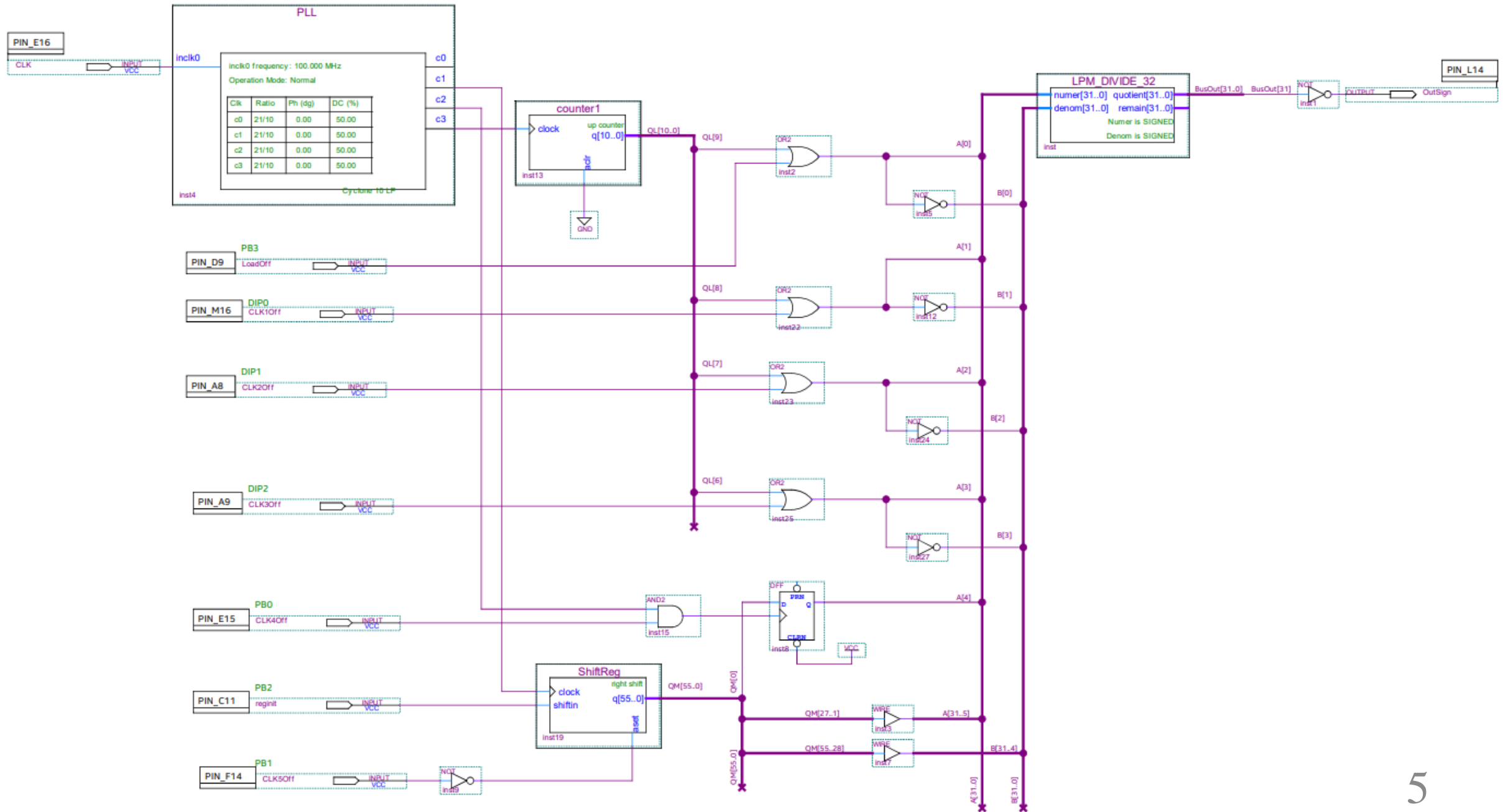
Загальна структура експериментального стенду



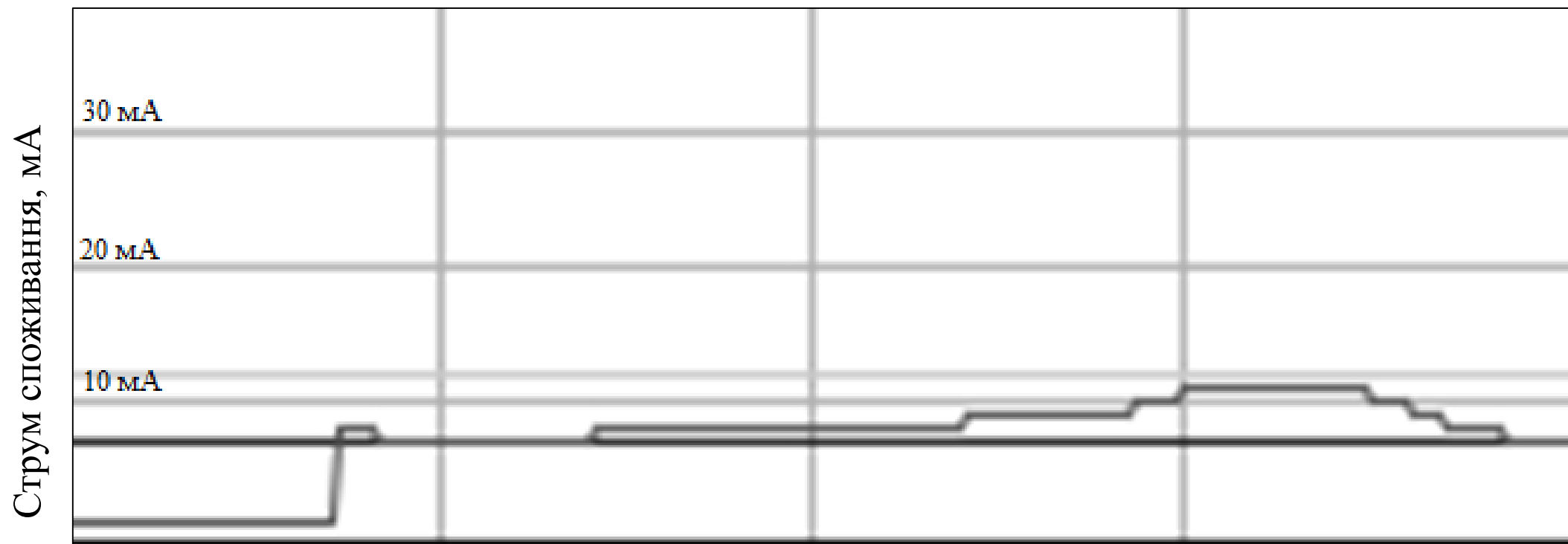
Структура експериментальної схеми



Схема першого експерименту



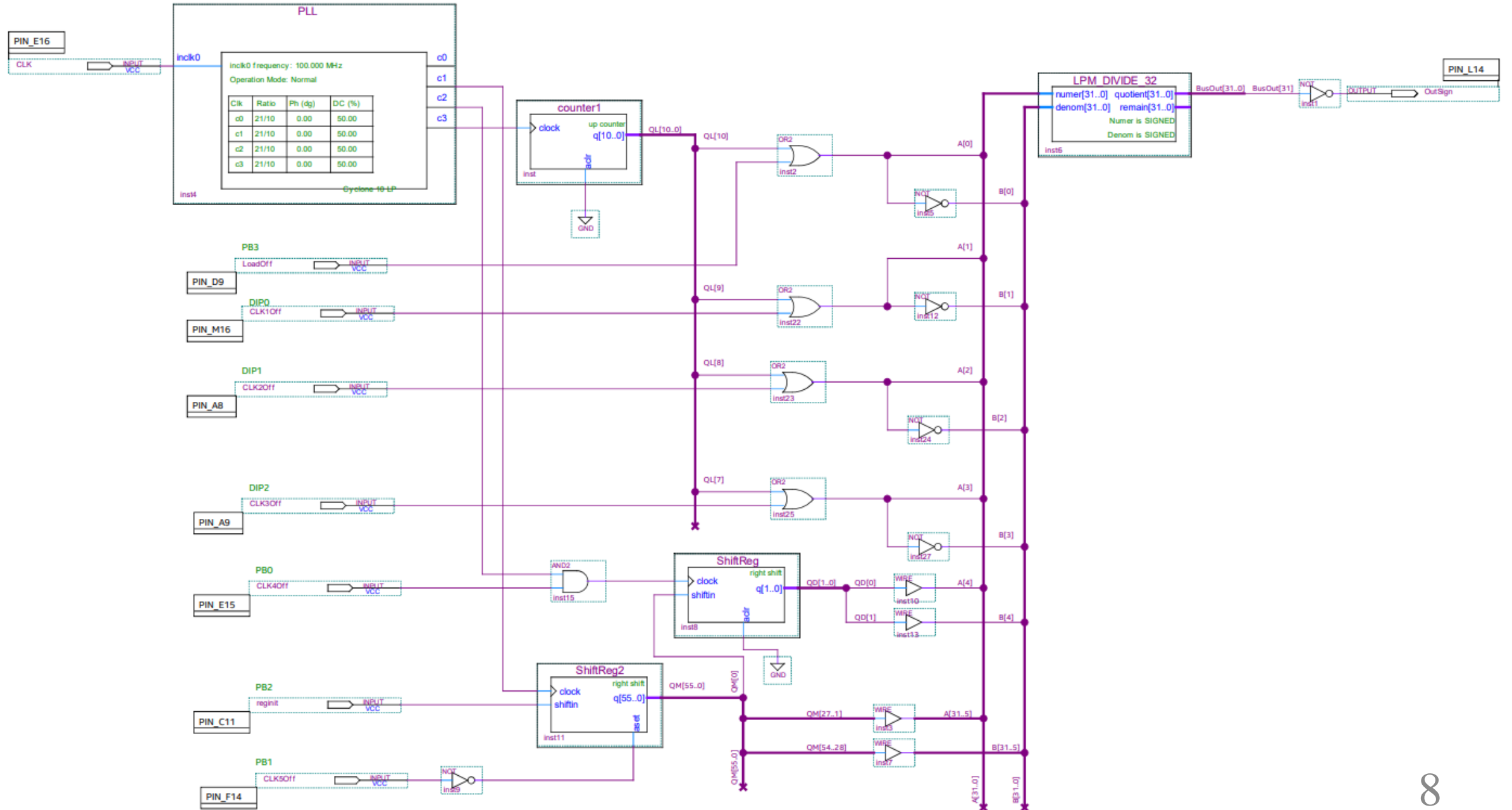
Діаграма струму споживання першого експерименту



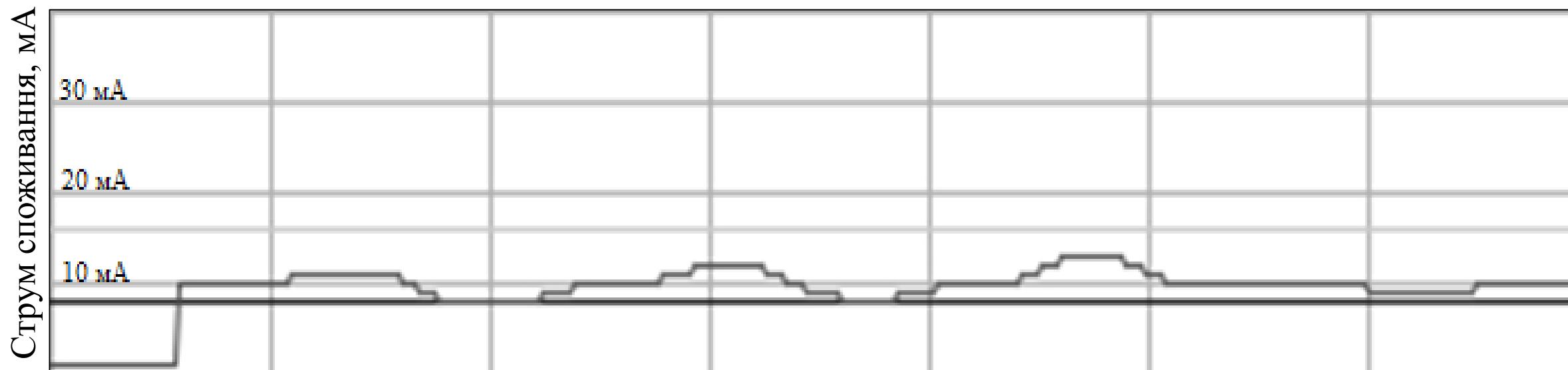
Результати першого експерименту

Активність розрядів операндів	Нульова активність		Тільки 0-ий розряд		З 0-го по 1-ий розряди		З 0-го по 2-ий розряди		З 0-го по 3-ій розряди	
	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Струм споживання, мА	7,67	7,67	8,48	8,48	8,88	8,88	9,69	9,69	10,90	10,90
Схема справна	8,07	8,07	8,88	8,88	9,28	9,28	10,09	10,09	11,30	11,30

Схема другого эксперимента



Діаграма струму споживання другого експерименту



Результати другого експерименту

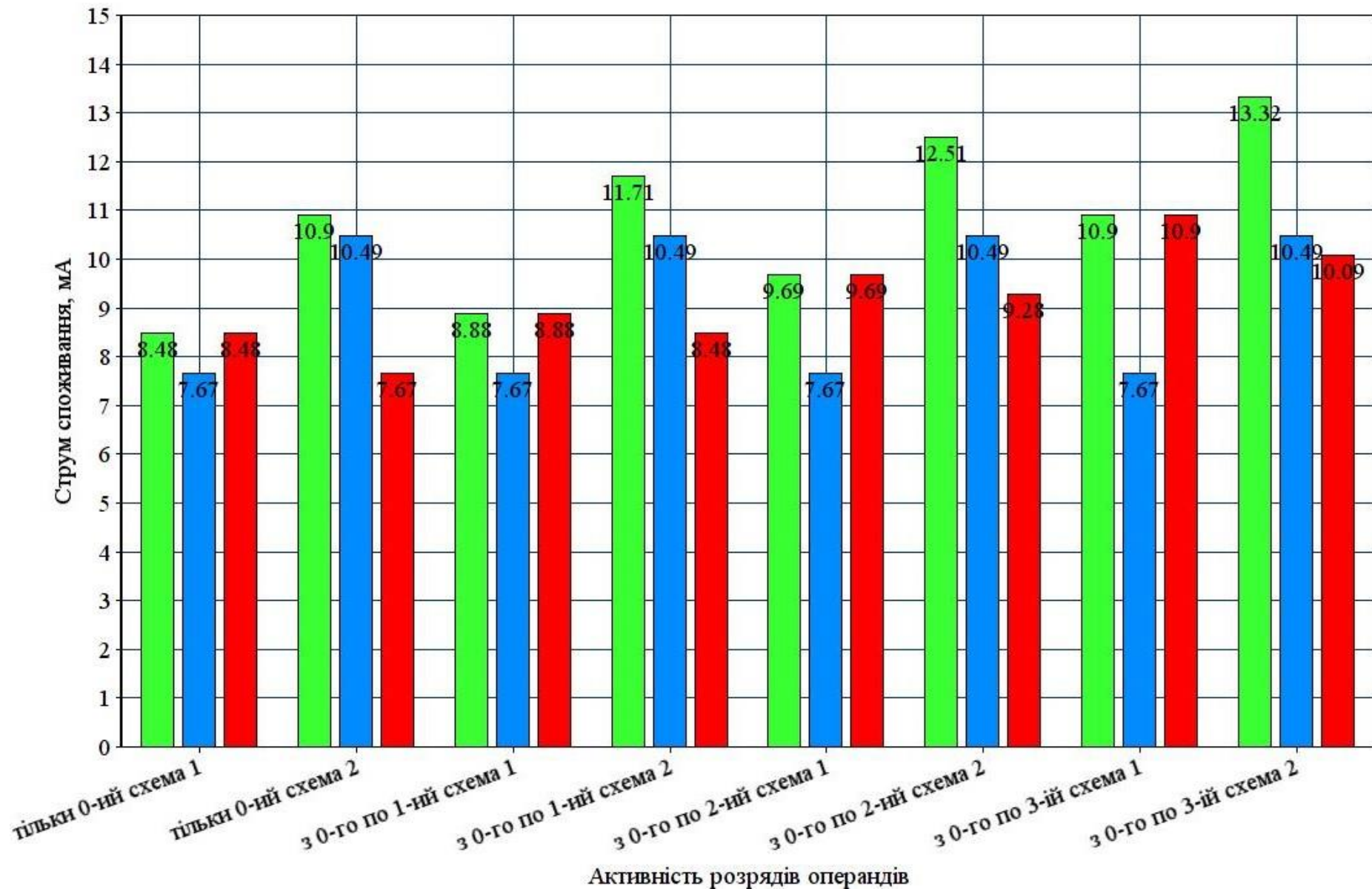
Активність розрядів операндів	Нульова активність		Тільки 0-ий розряд		З 0-го по 1-ий розряди		З 0-го по 2-ий розряди		З 0-го по 3-ій розряди	
	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Струм споживання, мА	10,49	7,27	10,90	7,67	11,71	8,48	12,51	9,28	13,32	10,09
	10,90	7,67	11,30	8,07	12,11	8,88	12,92	9,69	13,72	10,49

Порівняння результатів експериментів

Активність розрядів операндів	Нульова активність		Тільки 0-ий розряд		3 0-го по 1-ий розряди		3 0-го по 2-ий розряди		3 0-го по 3-ій розряди	
	Так	Ні	Так	Ні	Так	Ні	Так	Ні	Так	Ні
Струм споживання. Схема 1, мА	7,67	7,67	8,48	8,48	8,88	8,88	9,69	9,69	10,90	10,90
	8,07	8,07	8,88	8,88	9,28	9,28	10,09	10,09	11,30	11,30
Струм споживання. Схема 2, мА	10,49	7,27	10,90	7,67	11,71	8,48	12,51	9,28	13,32	10,09
	10,90	7,67	11,30	8,07	12,11	8,88	12,92	9,69	13,72	10,49

Порівняння результатів експериментів

■ Нормальний режим ■ Режим нульової активності ■ Схема несправна



Аналіз результатів

Було встановлено, що для 32-ох розрядного подільовача при відключенні 2-ох контактів синхронізації метод моніторингу виявляє несправність. Таким чином, метод виявляє несправність при відключенні 3.13% входів синхронізації та при більшому відсотку відключень.

Висновки

В ході виконання магістерської роботи були вирішені поставлені завдання.

Дослідження показало, що енергоорієнтована контролепридатність матричного подільовача залежить від рівня активності інформаційних сигналів.

Дослідження спроможності моніторингу матричного подільовача за струмом споживання показало досить високий рівень виявлення несправностей в ланцюгах загальних сигналів.

Таким чином, було експериментально підтверджено спроможність моніторингу матричного подільовача за струмом споживання.